



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 0 1 0 0 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 0 1 0 0 9]

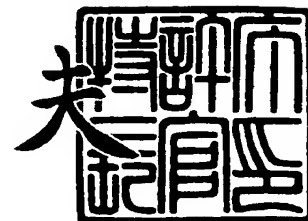
出 願 人
Applicant(s): 株式会社半導体エネルギー研究所
 シャープ株式会社



2 0 0 4 年 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P006797

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
G09G 3/36
G09G 3/20

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 李 副烈

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 平山 泰弘

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 久保田 靖

【特許出願人】

【識別番号】 000153878

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地

【氏名又は名称】 株式会社半導体エネルギー研究所

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100089266

【弁理士】

【氏名又は名称】 大島 陽一

【手数料の表示】

【予納台帳番号】 047902

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0206997

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型表示装置とその駆動方法

【特許請求の範囲】

【請求項 1】 一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態にあるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転送を可能とする複数の第 2 スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための少なくとも 1 つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有することを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線

及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は1水平ラインに含まれる前記画素電極の数と同数設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチの各々は対応する信号線に接続されていることを特徴とするアクティブマトリクス型表示装置。

【請求項3】 前記信号線駆動回路は、1水平ラインに含まれる複数の画素電極に対応するデータを保持するべく同数のラッチ回路を有し、

前記信号線は各々前記複数のラッチ回路の対応する一つに接続されていること

を特徴とする請求項2に記載のアクティブマトリクス型表示装置。

【請求項4】 一对の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一对の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は1水平ラインに含まれる画素の数と同じ数だけ設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の前記第1スイッチは一つの信号線に接続され、

各画素に割り当てられた複数の画素電極に対応する複数の前記第1スイッチはそれぞれ異なる走査線に接続されていることを特徴とするアクティブマトリクス型表示装置。

【請求項5】 前記信号線駆動回路は、

1 水平ラインに含まれる各画素に割り当てられた複数の画素電極に対応するデータを保持するための複数のラッチ回路と、

前記ラッチ回路に保持されたデータのうち前記信号線上に送出すべきデータを選択するべく前記ラッチ回路と前記信号線との間に設けられた、前記信号線と同数の選択スイッチとを有することを特徴とする請求項4に記載のアクティブマトリクス型表示装置。

【請求項6】 各画素に割り当てられた複数の画素電極は前記信号線の延在方向に配列されていることを特徴とする請求項4または請求項5のいずれかに記載のアクティブマトリクス型表示装置。

【請求項7】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

前記各画素に複数の前記画素電極が割り当てられ、前記表示装置は面積階調表示装置となっていることを特徴とするアクティブマトリクス型表示装置。

【請求項8】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための少なくとも 1 つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は 1 水平ラインに含まれる前記画素電極の数と同数設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の第 1 スイッチの各々は対応する信号線に接続されており、

前記表示装置は面積階調表示装置であることを特徴とするアクティブマトリクス型表示装置。

【請求項 9】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置であって、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記複数の信号線を駆動するための信号線駆動回路と、

前記複数の走査線を駆動するための走査線駆動回路と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態にあるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転

送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

各画素に複数の前記画素電極が割り当てられ、

前記信号線は1水平ラインに含まれる画素の数と同じ数だけ設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の前記第1スイッチは一つの信号線に接続され、

各画素に割り当てられた複数の画素電極に対応する複数の前記第1スイッチはそれぞれ異なる走査線に接続されており、

前記表示装置は面積階調表示装置であることを特徴とするアクティブマトリクス型表示装置。

【請求項10】 前記マトリクス型表示装置は、

前記第1スイッチをオンして前記第1メモリー回路へのデータの書き込みをする第1期間と、

前記第1メモリー回路の各々へのデータの書き込みが終了した後、前記第2スイッチをオンして前記第1メモリー回路の各々から対応する前記第2メモリー回路へとデータを転送する第2期間とを有し、

前記対向電極の電位は前記第2期間において第1の電位と第2の電位との間で交互に切り換えられることを特徴とする請求項1乃至請求項9のいずれかに記載のアクティブマトリクス型表示装置。

【請求項11】 前記第2の期間が映像信号の帰線期間であることを特徴とする請求項10に記載のアクティブマトリクス型表示装置。

【請求項12】 前記対向電極の電位の切り替えが映像信号のフレーム単位でなされることを特徴とする請求項10または請求項11のいずれかに記載のアクティブマトリクス型表示装置。

【請求項13】 前記第2メモリー回路を通じて対応する画素電極に供給される2つの異なる電位の一方が前記第1の電位に概ね等しく、他方が前記第2の電位に概ね等しいことを特徴とする請求項10乃至請求項12のいずれかに記載

のアクティブマトリクス型表示装置。

【請求項 14】 前記第 1 スイッチ及び第 2 スイッチが薄膜トランジスタからなり、第 1 及び第 2 メモリー回路は S R A M または D R A M からなり、前記 S R A M または D R A M が薄膜トランジスタを有することを特徴とする請求項 1 乃至請求項 13 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 15】 前記複数の信号線を駆動するための信号線駆動回路と、前記複数の走査線を駆動するための走査線駆動回路と、ロジック回路とを有し、前記信号線駆動回路、走査線駆動回路、転送制御線駆動回路、第 1 及び第 2 メモリー回路、第 1 及び第 2 スイッチ及び前記ロジック回路が同じ素子構造の薄膜トランジスタを有することを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 16】 ロジック回路を有し、前記信号線駆動回路、走査線駆動回路、転送制御線駆動回路、第 1 及び第 2 メモリー回路、第 1 及び第 2 スイッチ及び前記ロジック回路が同じ素子構造の薄膜トランジスタを有することを特徴とする請求項 2 乃至請求項 9 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 17】 前記ロジック回路が、前記信号線駆動回路、走査線駆動回路及び転送制御線駆動回路のタイミングを制御するためのコントローラを含むことを特徴とする請求項 15 または請求項 16 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 18】 前記ロジック回路が C P U を含むことを特徴とする請求項 15 または請求項 16 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 19】 前記ロジック回路が画像処理回路を含むことを特徴とする請求項 15 または請求項 16 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 20】 デジタル階調表示装置であることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 21】 前記転送制御線と前記信号線とが概ね平行に延在していることを特徴とする請求項 1 乃至請求項 20 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 22】 前記転送制御線と前記信号線とが概ね直交していることを特徴とする請求項 1 乃至請求項 20 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 23】 複数の前記転送制御線を有し、これら転送制御線が複数のグループに分かれており、各グループに異なるタイミングで前記転送信号が供給されることを特徴とする請求項 1 乃至請求項 22 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 24】 前記表示媒体が液晶であることを特徴とする請求項 1 乃至請求項 23 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 25】 前記各画素に k 個 (k は 2 以上の整数) の画素電極が割り当てられており、これら画素電極の面積の比が、最小の画素電極の面積を基準として $1:2:4:\dots:2^{k-1}$ となっていることを特徴とする請求項 7 乃至請求項 9 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 26】 請求項 1 乃至請求項 25 のいずれかに記載のアクティブマトリクス型表示装置を有する電子機器。

【請求項 27】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態にあるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転送を可能とする複数の第 2 スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための少なくとも 1 つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

当該方法は、

第 1 期間において前記第 1 スイッチをオンして前記第 1 メモリー回路へのデータの書き込みをする過程と、

前記第 1 期間において前記第 1 メモリー回路の各々へのデータの書き込みが終了した後、第 2 期間において前記第 2 スイッチをオンして前記第 1 メモリー回路の各々から対応する前記第 2 メモリー回路へとデータを転送する過程と、

前記第 2 期間において前記対向電極の電位を第 1 の電位と第 2 の電位との間で交互に切り換える過程とを有することを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 28】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続

された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリー回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリー回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリー回路の各々から対応する前記第2メモリー回路へとデータを転送する過程と、

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程とを有し、

前記第2の期間が映像信号の帰線期間であることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項29】 前記対向電極の電位の切り替えを映像信号のフレーム単位で行うことを特徴とする請求項27または請求項28のいずれかに記載のアクティブマトリクス型表示装置の駆動方法。

【請求項30】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線

及び複数の走査線と、

前記一对の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一对の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路と、対応する画素電極に接続された第2メモリー回路とを有し、前記第2メモリー回路の状態に応じて異なる2つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリー回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリー回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリー回路の各々から対応する前記第2メモリー回路へとデータを転送する過程と、

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程とを有し、

各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、

各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 31】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態にあるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転送を可能とする複数の第 2 スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための少なくとも 1 つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

当該方法は、

第 1 期間において前記第 1 スイッチをオンして前記第 1 メモリー回路へのデータの書き込みをする過程と、

前記第 1 期間において前記第 1 メモリー回路の各々へのデータの書き込みが終

了した後、第 2 期間において前記第 2 スイッチをオンして前記第 1 メモリー回路の各々から対応する前記第 2 メモリー回路へとデータを転送する過程と、

前記第 2 期間において前記対向電極の電位を第 1 の電位と第 2 の電位との間で交互に切り換える過程とを有し、

前記第 2 の期間は映像信号の帰線期間であり、

各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、

各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 3 2】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第 1 メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第 1 メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第 1 スイッチと、

それぞれ対応する第 1 メモリー回路と第 2 メモリー回路との間に接続され、オン状態にあるとき前記第 1 メモリー回路から前記第 2 メモリー回路へのデータ転送を可能とする複数の第 2 スイッチと、

前記第 2 スイッチを選択的にオンする転送信号を供給するための少なくとも 1 つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

当該方法は、

第 1 期間において前記第 1 スイッチをオンして前記第 1 メモリー回路へのデータの書き込みをする過程と、

前記第 1 期間において前記第 1 メモリー回路の各々へのデータの書き込みが終了した後、第 2 期間において前記第 2 スイッチをオンして前記第 1 メモリー回路の各々から対応する前記第 2 メモリー回路へとデータを転送する過程と、

前記第 2 期間において前記対向電極の電位を第 1 の電位と第 2 の電位との間で交互に切り換える過程とを有し、

前記対向電極の電位の切り替えは映像信号のフレーム単位で行われ、

各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、

各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 33】 一対の基板の間に配置された表示媒体を有するアクティブマトリクス型表示装置の駆動方法であって、

前記アクティブマトリクス型表示装置は、

前記一対の基板の一方によって支持され互いに交差して延在する複数の信号線及び複数の走査線と、

前記一対の基板の前記一方によって支持されマトリクス状に配置された複数の画素電極と、

前記一対の基板の他方によって支持され、前記画素電極との間に前記表示媒体を挟持する対向電極と、

それぞれ前記画素電極の各々と前記信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第 1 メモリー回路と、対応する画素電極に接続された第 2 メモリー回路とを有し、前記第 2 メモリー回路の状態に応じて異なる 2 つの電位のいずれかを対

応する画素電極に供給する、複数対のメモリー回路と、

それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし前記第1メモリー回路への前記信号線上のデータの書き込みを可能とする複数の第1スイッチと、

それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき前記第1メモリー回路から前記第2メモリー回路へのデータ転送を可能とする複数の第2スイッチと、

前記第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線と、

前記転送制御線を駆動するための転送制御線駆動回路とを有し、

当該方法は、

第1期間において前記第1スイッチをオンして前記第1メモリー回路へのデータの書き込みをする過程と、

前記第1期間において前記第1メモリー回路の各々へのデータの書き込みが終了した後、第2期間において前記第2スイッチをオンして前記第1メモリー回路の各々から対応する前記第2メモリー回路へとデータを転送する過程と、

前記第2期間において前記対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程とを有し、

前記第2の期間は映像信号の帰線期間であり、

前記対向電極の電位の切り替えは映像信号のフレーム単位で行われ、

各画素に複数の前記画素電極が割り当てられ、各画素電極は対応する発光セルを定め、

各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項34】 前記信号線は1水平ラインに含まれる画素の数と同じ数だけ設けられ、

各画素に割り当てられた複数の画素電極に対応する複数の前記第1スイッチは一つの信号線に接続され、

各画素に割り当てられた複数の画素電極に対応する複数の前記第1スイッチは

それぞれ異なる走査線に接続されており、

当該方法は、

前記信号線駆動回路から、各画素に割り当てられた複数の画素電極のためのデータを順に対応する信号線上に出力する過程と、

各画素に割り当てられた複数の前記第 1 スイッチの各々に対応する走査線からの信号により、前記信号線上に出力されたデータに同期してオンする過程とを有することを特徴とする請求項 3 0 乃至請求項 3 3 のいずれかに記載のアクティブマトリクス型表示装置の駆動方法。

【請求項 3 5】 前記アクティブマトリクス型表示装置は複数の前記転送制御線を有し、これら転送制御線は複数のグループに分かれており、

当該方法は、転送制御線の各グループに異なるタイミングで前記転送信号を供給する過程を有することを特徴とする請求項 2 7 乃至請求項 3 4 のいずれかに記載のアクティブマトリクス型表示装置の駆動方法。

【請求項 3 6】 前記第 1 期間において、前の第 2 期間において前記第 2 メモリー回路に書き込まれたデータに基づいて画面表示を行うことを特徴とする請求項 2 7 乃至請求項 3 5 のいずれかに記載のアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はアクティブマトリクス型表示装置、特にデジタル階調方式のアクティブマトリクス型液晶表示装置に関する。また、そのような表示装置を備えた電子機器に関する。

【0 0 0 2】

【従来の技術】

近年、フラットパネルディスプレイ（FDP）として、アクティブマトリクス型半導体表示装置が市場を賑わしている。中でも、表示媒体（電気光学変調層ともいう）に液晶を用いたアクティブマトリクス型液晶表示装置が例えばパーソナルコンピュータ等の電子機器の表示装置として多用されている。アクティブマト

リクス型液晶表示装置では、各画素の明るさを連続的に変化させるアナログ階調と、各画素の明るさを離散的に変化させるデジタル階調が知られている。アナログ階調は、例えば、各画素に割り当てられた液晶セルに印加する電圧を連続的に変え、液晶セルの透過率を連続的に変えることによって実現される。デジタル階調には、各画素に複数の液晶セルを割り当て、発光させる液晶セルの組合せを変えることで各画素の明るさを変える面積階調や、各画素に割り当てる液晶セルは一つであるが、1フレームにおける液晶セルの発光時間を離散的に変えることで各画素の明るさを変える時間階調がある。また、各画素に赤（R）、緑（G）または青（B）のフィルタを用いることでカラー表示を行うことも広くなされている。

【0003】

図13は、アクティブマトリクス型液晶表示装置の従来例を示す模式的な回路図である。図示されているように、アクティブマトリクス型液晶表示装置200は、画素マトリクス部（または液晶表示部）210、信号線駆動回路211、走査線駆動回路212を含む。近年、アクティブマトリクス型液晶表示装置200の画素マトリクス部210、信号線駆動回路211、走査線駆動回路212を低温ポリシリコン薄膜トランジスタ（TFT）を用いて同一基板上に形成することがなされている。そのような低温ポリシリコン液晶表示装置200は小型化が容易であることから特に携帯機器などの中小型ディスプレイパネルに適している。また最近では低温ポリシリコンTFTの特性向上によって、画素マトリクス部210や駆動回路211、212だけでなく、液晶表示装置200に含まれ得る低電圧（例えば5V）で動作する回路、例えばCPU213、コントローラ214、メモリー（図示せず）なども低温ポリシリコンTFTによって構成することが可能となっている。これらの低電圧回路に低温ポリシリコンTFTを用いる場合、周波数特性や素子密度を向上させるためゲート長を短くすることが望ましいが、ゲート長を短くすると、短チャネル効果が発生しやすくなり、TFT特性がドレイン電圧によって変動しやすくなることから、短チャネル効果を抑制するためゲート絶縁膜を極力薄くするなどの対策が必要である。例えば5V系のTFTではゲート長が2 μ m以下、ゲート絶縁膜の厚さが50nm以下であることが望ま

しい。

【0004】

画素マトリクス部 210 では、信号線 230 及び走査線 231 がマトリクス状に配置され、これら信号線 230 と走査線 231 の交点部分に画素 TFT 242 が配置されている。画素 TFT 242 は、通常、電界効果トランジスタ (FET) からなる。各 TFT 242 のゲート、ソース及びドレインは、それぞれ、対応する走査線 231、信号線 230 及び画素電極 222 に接続されている。尚、信号線 230 及び走査線 231 は対応する TFT 242 のソース及びゲートにそれぞれ接続されていることからソース信号線及びゲート信号線と呼ばれることもある。

【0005】

複数の画素電極 222 と向き合って対向電極 223 が配置され、画素電極 222 と対向電極 223 の間に液晶 224 が配置される。画素電極 222、対向電極 223 及び液晶 224 によって液晶セル 221 が形成されているということもできる。尚、図では各画素電極 222 毎に別個の液晶 224 が設けられているように見えるが、当業者にはよく知られているように、液晶 224 は複数の画素電極 222 に渡って延在する単一の部材として設けられるのが通常である。これは、対向電極 223 についても同様である。

【0006】

一般に、画素電極 222、対向電極 223 及びそれらの間に配置された液晶 224 からなる液晶セル 221 は大きな静電容量を有することができないため、画素電極 222 の近傍に電荷を保持するための保持容量 225 が設けられる。図示は省略するが、通常、画素マトリクス部 210 の TFT 242 及び画素電極 222 と、駆動回路 211、212 とは同じ基板 (アクティブマトリクス基板または素子基板ということもある) に設けられ、対向電極 223 は別の基板 (対向基板ということもある) に設けられ、液晶 224 はこれら 2 つの基板の間に挟まれる。

【0007】

走査線 231 に TFT 242 のゲート・ソース間電圧がしきい値電圧を超える

ように電位（選択信号）が印加され、TFT 242 がオンすると、TFT 242 のドレインとソースはショート状態となる。そうして、信号線 230 の電位が画素電極 222 に伝達され、それに応じて液晶セル 221 及び保持容量 225 が充電される。TFT 242 がオフになるとドレインとソースの間は非導通状態となり、液晶セル 221 及び保持容量 225 に蓄積された電荷は次に TFT 242 がオンするまで保持される。液晶 224 は電圧が印加された状態と印加されていない状態とで光の透過特性が変わるため、画素電極 222 の電位 V_{pix} 及び対向電極 223 の電位 V_{com} を制御し液晶 224 に印加する電圧を制御することで各液晶セル 221 の明るさを変えることができる。

【0008】

このような液晶表示装置 200 において面積階調を行う場合、例えば隣接する 2 つの液晶セル 221 を一つの画素に割り当てると、これら 2 つの液晶セル 221 のオンオフの組合せによって 4 段階に画素の明るさを変えることができる（4 階調）。各画素に割り当てる液晶セル 221 の数を増やせば、より多段階に各画素の明るさを変えることが可能である。各画素に割り当てる液晶セル 221 の面積を異ならせてもよい。一般に、 k 個の液晶セル E_1 、 E_2 、 \dots 、 E_k を一つの画素に割り当てる場合（表示ビット数 k という）、各液晶セル E_1 、 E_2 、 \dots 、 E_k の面積は、最小の液晶セルの面積を E_0 としたとき、 $E_1 = 1 \times E_0$ 、 $E_2 = 2 \times E_0$ 、 \dots 、 $E_k = 2^{k-1} \times E_0$ となるように設計すると、これらの組合せを変えることで E_0 に相当する明るさを最小単位として 2^k 階調で画素の明るさを変えることができ好適である。また、各画素に 1 つの液晶セル 221 を割り当てた場合でも、例えば映像信号の 1 フレームにおける液晶セル 221 の発光時間を離散的に変えることでデジタル階調を行うことができる（時間階調）。この場合も、 k 個の発光時間 T_1 、 T_2 、 \dots 、 T_k の長さを、最小の発光時間を T_0 としたとき、 $T_1 = 1 \times T_0$ 、 $T_2 = 2 \times T_0$ 、 \dots 、 $T_k = 2^{k-1} \times T_0$ とし（ $T_1 \sim T_k$ の合計は 1 フレーム期間より小さい）、それらの組合せを変えることで T_0 に相当する明るさを最小単位として 2^k 階調で画素の明るさを変えることができる。尚、時間階調を行う場合、各発光時間に対して液晶セルの点灯を行うか否かを設定する走査を行うため、1 フレーム内に複数のサ

ブフレーム（走査期間と帰線期間の対）が含まれることとなる。

【0 0 0 9】

一般に、液晶 2 2 4 は印加電圧に対して履歴性があるため、直流電圧を長期にわたり印加すると劣化（焼き付きなど）が発生する。これを防止するため、液晶 2 2 4 に印加する電圧の向きを一定期間毎に逆向きにし、液晶 2 2 4 に印加される電圧の平均値がゼロになるようにするとよい。この駆動方法を反転駆動方法という。これは、図 1 4 に示すように、対向電極 2 2 3 の電位 V_{com} を一定に保ち、対向電極 2 2 3 の電位 V_{com} を基準とした画素電極 2 2 2 に印加される電位 V_{pix} （即ち、信号線電位）の極性を一定期間毎（例えばフレーム毎）に反転させることによって実現することができる。例えば、対向電極 2 2 3 の電位 V_{com} が 8 V の場合、画素電極 2 2 2 の電位 V_{pix} を 3 ～ 13 V の間で振動させると、液晶 2 2 4 に印加される電圧は +5 V と -5 V の間で交互に切り替わる。尚、このような反転駆動方法は印加電圧に対して履歴性を有する液晶以外の表示媒体に対しても適用可能である。

【0 0 1 0】

しかしながら、このような駆動方法では、信号線電位が変化する範囲が、液晶 2 2 4 に加えられる電圧（絶対値）の 2 倍となるため、信号線駆動回路 2 1 1 の耐圧を高くする必要がある。また各 T F T 2 4 2 のゲート電位はソース電位に対して定められるため、ソースに供給される信号線電位の変動範囲が大きくなると、ゲート電位の変動範囲も大きくなり（例えば 0 ～ 16 V）、従って、ゲートが接続される走査線駆動回路 2 1 2 の耐圧も高くする必要がある。例えばこれら駆動回路 2 1 1、2 1 2 で使用する T F T は、ゲート長が $5 \mu m$ 以上、ゲート絶縁膜の厚さが 100 nm 以上であることが望ましく、更に L D D 構造やゲートオーバーラップ L D D 構造（G O L D 構造）が必要となり、製造コストの増大を招いていた。

【0 0 1 1】

また上記したように、C P U 2 1 3 やコントローラ 2 1 4 を構成するための低電圧 T F T はゲート長が $2 \mu m$ 以下、ゲート絶縁膜の厚さが 50 nm 以下であることが望ましいが、図 1 4 に示した駆動方式を行う場合、そのような T F T を駆

動回路 211、212 に用いることはできない。従って、駆動回路 211、212 のように高い耐圧が必要とされる回路と、CPU 213 やコントローラ 214 のように低い耐圧しか必要としない回路とで TFT を作り分ける必要があり、それに応じて製造プロセスも異なるものを要することから、製造工程の増加及びコスト増大につながっていた。

【0012】

別の駆動方法として、図 15 に示すように、対向電極 223 の電位 V_{com} を例えば 1 フレーム単位でハイレベルコモン電位 V_{comH} とローレベルコモン電位 V_{comL} の間で切り換え、画素電極 222 に供給する信号線の電位 V_{pix} をそれに合わせて定める方法がある（交流駆動という）。これによれば、画素電位（信号線電位） V_{pix} の変動範囲は図 13 に示した駆動方法に比べて半分（即ち、液晶 224 にかかる電圧の大きさと同じ）にできるため、信号線駆動回路 211 の耐圧を低くすることができる。また、それに伴い走査線駆動回路 212 の耐圧も低くすることができる。従って、これら駆動回路 211、212 に用いられる TFT の耐圧も低くすることができ、製造コストを低減することが可能である。そのような駆動方法において、対向電極 223 の電位 V_{com} の切り換えに伴う画像の乱れを極力小さくするため、対向電極 223 の電位 V_{com} の切り換え及び走査（全画素に対する画素電極 221 の電位設定）をバックライトなどの光源が消灯している期間に行うことも提案されている（特許文献 1）。そのような方法によれば駆動回路 211、212 の耐圧を低くすることが可能であるが、なお次のような問題がある。

【0013】

例えば、液晶表示装置 200 において、液晶 224 は 5 V の大きさの電圧が加えられると非透過状態となり、電圧が印加されていないときは透過状態になるものとし、対向電極 223 の電位 V_{com} 及び信号線 230 の電位 V_{pix} は 0 V ～ 5 V の間で交流駆動するものとする（即ち、図 14 において $V_{comL} = 0$ V、 $V_{comH} = 5$ V）。この場合、あるフレームにおいて対向電極の電位 V_{com} が 0 V のとき、ある液晶セル 221 で黒を表示しようとする、液晶 224 に 5 V の電圧を印加するため対応する信号線電位（または画素電極 222 の電位） V_{pix} を 5 V とす

る必要がある。それにより、対応する保持容量 225 は両端の電圧が 5 V となるように充電される。次のフレームでは対向電極 223 の電位 V_{com} は 5 V へと切り換えられるが、そのとき、まだその液晶セル 221 のデータ（保持容量 225 の両端の電圧）が書き換えられていない場合、画素 TFT 242 がオフ状態のときには保持容量 225 に蓄積された電荷（または両端の電圧）が保存されることから、対向電極 223 の電位 V_{com} に保持容量 225 の電圧が加わって画素電極 222 の電位 V_{pix} は 10 V まで上昇する。従って、画素電極 222 及びそれに接続された部分（画素 TFT 242 を含む）は、やはり 10 V 以上の耐圧が必要であり、製造コストが増加する。

【0014】

また、走査中は光源をオフにし、走査終了後に光源を点灯させることから、特に画素数が多く走査に時間がかかる場合など、光源点灯時間が短くなり、十分な明るさの画面を得にくくなるという問題がある。

【0015】

尚、保持容量を使用する代わりに、各画素 TFT とそれに対応する画素電極の間に一つのメモリー回路を配置し、メモリー回路に記憶された情報に基づいてハイレベル電源電位またはローレベル電源電位を直接画素電極に供給することが提案されている（特許文献 2）。

【0016】

【特許文献 1】

特開 2002-287708 号公報

【特許文献 2】

特開平 7-199157 号公報

【0017】

【発明が解決しようとする課題】

本発明は上記したような従来技術の問題点を解決するためのものであり、本発明の主な目的は、画素電極の電位の変動範囲を抑制し、耐圧の低い回路素子を用いることを可能として、製造コストの低減を図った交流駆動式のアクティブマトリクス型表示装置を提供することである。

【0018】

本発明の第2の目的は、画素電極の電位の変動範囲を抑制しつつ、十分な明るさの画面を容易に得ることが可能な交流駆動式のアクティブマトリクス型表示装置を提供することである。

【0019】

本発明の第3の目的は、上記したようなアクティブマトリクス型表示装置を単純な構造で低コストに提供することである。

【0020】

本発明の第4の目的は上記したようなアクティブマトリクス型表示装置を用いた電子機器を提供することである。

【0021】**【課題を解決するための手段】**

前記目的を達成するため本発明の一側面に基づくと、一対の基板の間に配置された表示媒体(24)を有するアクティブマトリクス型表示装置(1、100、110)であって、一対の基板の一方によって支持され互いに交差して延在する複数の信号線(30)及び複数の走査線(31)と、一対の基板の一方によって支持されマトリクス状に配置された複数の画素電極(22)と、一対の基板の他方によって支持され、画素電極との間に表示媒体を挟持する対向電極(23)と、それぞれ画素電極の各々と信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路(40)と、対応する画素電極に接続された第2メモリー回路(41)とを有し、第2メモリー回路の状態に応じて異なる2つの電位(VDD、VSS)のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし第1メモリー回路への信号線上のデータの書き込みを可能とする複数の第1スイッチ(42)と、それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき第1メモリー回路から第2メモリー回路へのデータ転送を可能とする複数の第2スイッチ(43)と、第2スイッチを選択的にオンする転送信号を供給するための少な

くとも1つの転送制御線(44)と、転送制御線を駆動するための転送制御線駆動回路(45)とを有することを特徴とするアクティブマトリクス型表示装置が提供される。

【0022】

一好適実施例では、各画素に複数の画素電極が割り当てられ、信号線は1水平ラインに含まれる画素電極の数と同数設けられ、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチの各々は対応する信号線に接続される。この場合、好適には、信号線を駆動するための信号線駆動回路は、1水平ラインに含まれる複数の画素電極に対応するデータを保持するべく同数のラッチ回路(53)を有し、信号線は各々複数のラッチ回路の対応する一つに接続されるものとすることができる。

【0023】

別の態様として、各画素に複数の画素電極が割り当てられ、信号線は1水平ラインに含まれる画素の数と同じ数だけ設けられ、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチは一つの信号線に接続され、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチはそれぞれ異なる走査線に接続されるものとすることもできる。この場合、好適には、信号線を駆動するための信号線駆動回路は、1水平ラインに含まれる各画素に割り当てられた複数の画素電極に対応するデータを保持するための複数のラッチ回路と、これらラッチ回路に保持されたデータのうち信号線上に送出すべきデータを選択するべくラッチ回路と信号線との間に設けられた、信号線と同数の選択スイッチ(SW1)とを有するものとすることができる。このような構造は、信号線を1水平ラインに含まれる画素電極と同数設けた場合と比べて信号線の数減らすことができるため、各画素に割り当てられた複数の画素電極が信号線の延在方向に沿って配列され、信号線の延在方向と直交する方向にスペースが限られている場合に、特に有効である。

【0024】

上記したようなアクティブマトリクス型表示装置によれば、各画素電極に対して一対のメモリー回路(第1メモリー回路及び第2メモリー回路)を設けたこと

から、第1期間（走査期間）において第1スイッチを順次オンして第1メモリー回路に次の第2期間（帰線期間）において設定される対向電極の電位に合わせたデータを書き込んでいる間、前の第2期間において第1メモリー回路から第2メモリー回路へと転送されたデータを用いて画像表示を行うことができるため、第1期間に画面表示を行っても画面の乱れが生じない。従って、第1期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確保して良好な明るさの画面表示を容易に実現することができる。

【0025】

好適には、第2の期間は映像信号の帰線期間とすることができる。また、本発明の一実施例によれば、対向電極の電位の切り替えは映像信号のフレーム単位で行うことができる。

【0026】

また、各画素電極には対応する第2メモリー回路を通じて異なる2つの電位（ハイレベル電源電位VDDまたはローレベル電源電位VSS）のいずれかが供給されるため、交流駆動により対向電極の電位が第1の電位と第2の電位の間で変化する場合でも、画素電極の電位（Vpix）はそれに影響されない。従って、画素電極の電位が不所望に高くなることのないことから、低耐圧の素子（TFTなど）を使用することが可能であり、製造コストを低減することができる。

【0027】

特に、第2メモリー回路を通じて対応する画素電極に供給される2つの異なる電位的一方が第1の電位に概ね等しく、他方が第2の電位に概ね等しい場合、2つの異なる電位の差（または第1の電位と第2の電位の差）を表示媒体に印加される電圧の絶対値に等しい値まで低減できるため好適である。尚、対向電極の電位の切り換えは第2期間に行うと、画面表示に与える影響が小さいため望ましい。

【0028】

好適には第1スイッチ及び第2スイッチは薄膜トランジスタによって具現することができ、第1及び第2メモリー回路はSRAMまたはDRAMによって具現

することができる。そのような場合、当該表示装置が信号線を駆動するための信号線駆動回路（11、11a）、走査線を駆動するための走査線駆動回路（12）、ロジック回路を有し、信号線駆動回路、走査線駆動回路、転送制御線駆動回路、第1及び第2メモリー回路、第1及び第2スイッチ及びロジック回路が同じ素子構造の薄膜トランジスタを有すると、これら回路及び部品に用いられる薄膜トランジスタを同じプロセスで形成することができるため、製造コストを低減する上で好適である。ロジック回路は、例えば、信号線駆動回路、走査線駆動回路及び転送制御線駆動回路のタイミングを制御するためのコントローラ（14、144）、CPU（13、143）または画像処理回路（145）などを含み得る。

【0029】

本発明に基づくアクティブマトリクス型表示装置は、デジタル階調表示装置とすると、各画素の明るさを段階的に調節することができるため好適である。特に、各画素に複数の画素電極を割り当てることにより面積階調表示装置を実現することができる。各画素に k 個（ k は2以上の整数）の画素電極を割り当てて面積階調を行う場合、これら画素電極の面積の比が、最小の画素電極の面積を基準として $1:2:4:\dots:2^{k-1}$ となっていると、最小の画素電極に対応する明るさを最小単位として 2^k 階調で画素の明るさを変えることができ好適である。

【0030】

本発明の一実施例に基づく、転送制御線と信号線は概ね平行に延在する。また、別の実施例では転送制御線と信号線が概ね直交するものとすることもできる。複数の転送制御線を有する場合、これら転送制御線が複数のグループに分かれており、各グループに異なるタイミングで転送信号が供給されるものとする、第1メモリー回路から第2メモリー回路へのデータ転送に伴う電荷移動が急激に生じて電源電圧が変動するのを防止することができる。

【0031】

表示媒体は典型的には液晶からなる。また、上記したようなアクティブマトリクス型表示装置は、携帯電話、デジタルカメラ、ビデオカメラ、PDF、ノート型パソコン、腕時計、携帯型DVDプレーヤー、プロジェクタ、携帯書籍（電子

ブック)などのさまざまな電子機器(120)に組み込むことができる。

【0032】

本発明の別の側面に基づくと、一对の基板の間に配置された表示媒体(24)を有するアクティブマトリクス型表示装置(1、100、110)の駆動方法であって、アクティブマトリクス型表示装置は、一对の基板の一方によって支持され互いに交差して延在する複数の信号線(30)及び複数の走査線(31)と、一对の基板の一方によって支持されマトリクス状に配置された複数の画素電極(22)と、一对の基板の他方によって支持され、画素電極との間に表示媒体を挟持する対向電極(23)と、それぞれ画素電極の各々と信号線の対応する一つとの間に設けられた複数対のメモリー回路であって、メモリー回路の各対は、対応する信号線に接続された第1メモリー回路(40)と、対応する画素電極に接続された第2メモリー回路(41)とを有し、第2メモリー回路の状態に応じて異なる2つの電位(VDD、VSS)のいずれかを対応する画素電極に供給する、複数対のメモリー回路と、それぞれ対応する第1メモリー回路と信号線との間に接続され、対応する走査線からの選択信号によって選択的にオンし第1メモリー回路への信号線上のデータの書き込みを可能とする複数の第1スイッチ(42)と、それぞれ対応する第1メモリー回路と第2メモリー回路との間に接続され、オン状態にあるとき第1メモリー回路から第2メモリー回路へのデータ転送を可能とする複数の第2スイッチ(43)と、第2スイッチを選択的にオンする転送信号を供給するための少なくとも1つの転送制御線(44)と、転送制御線を駆動するための転送制御線駆動回路(45)とを有し、当該方法は、第1期間において第1スイッチをオンして第1メモリー回路へのデータの書き込みをする過程と、第1期間において第1メモリー回路の各々へのデータの書き込みが終了した後、第2期間において第2スイッチをオンして第1メモリー回路の各々から対応する第2メモリー回路へとデータを転送する過程と、第2期間において対向電極の電位を第1の電位と第2の電位との間で交互に切り換える過程とを有することを特徴とするアクティブマトリクス型表示装置の駆動方法が提供される。

【0033】

好適には、第2の期間は映像信号の帰線期間とすることができる。また、本発

明の一実施例によれば、対向電極の電位の切り替えは映像信号のフレーム単位で行うことができる。

【0034】

これによれば、第1期間（走査期間）において第1スイッチを順次オンして第1メモリー回路に次の第2期間（帰線期間）において設定される対向電極の電位に合わせたデータを書き込んでいる間、前の第2期間において第1メモリー回路から第2メモリー回路へと転送されたデータを用いて画像表示を行うことができるため、第1期間に画面表示を行っても画面の乱れが生じない。従って、第1期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確保して良好な明るさの画面表示を容易に実現することができる。

【0035】

各画素に複数の画素電極が割り当てられ、各画素電極は対応する発光セル（表示媒体が液晶の場合、液晶セルという）を定めている場合、各画素において発光させる発光セルの組合せを変えることにより面積階調を行うことができる。このように面積階調を行う場合、信号線は1水平ラインに含まれる画素の数と同じ数だけ設けられ、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチは一つの信号線に接続され、各画素に割り当てられた複数の画素電極に対応する複数の第1スイッチはそれぞれ異なる走査線に接続されるものとし、当該方法は、信号線駆動回路から、各画素に割り当てられた複数の画素電極のためのデータを順に対応する信号線上に出力する過程と、各画素に割り当てられた複数の前記第1スイッチの各々に対応する走査線からの信号により、信号線上に出力されたデータに同期してオンする過程とを有するものとすることができる。これによれば、信号線を1水平ラインに含まれる画素電極の数ではなく、それより少ない1水平ラインに含まれる画素の数だけ設ければよいことから、信号線のレイアウトが容易になる。

【0036】

アクティブマトリクス型表示装置が複数の転送制御線を有し、これら転送制御線が複数のグループに分かれている場合、当該方法は、転送制御線の各グループ

に異なるタイミングで転送信号を供給する過程を有するものとするといよい。これによって、第1メモリー回路から第2メモリー回路へのデータ転送に伴う電荷移動が急激に生じて電源電圧が変動するのを防止することができる。

【0037】

本発明の特徴、目的及び作用効果は、添付図面を参照しつつ好適実施例について説明することにより一層明らかとなるだろう。

【0038】

【発明の実施の形態】

以下、本発明の好適実施例について図面を参照して説明する。

【0039】

図1は、本発明に基づくアクティブマトリクス型表示装置の好適実施例としてアクティブマトリクス型液晶表示装置を示す回路図である。この液晶表示装置1は、図12に示した従来例と同様に、画素マトリクス部10、信号線駆動回路11、走査線駆動回路12、CPU13、コントローラ14を有している。画素マトリクス部10には、複数の画素20がマトリクス状に配置される。

【0040】

図2の部分平面図に示すように、この実施例では各画素20に3つの液晶セル21を割り当て、表示ビット数 $k=3$ （即ち8階調）の面積階調を行うものとする。勿論、表示ビット数は3に限るものではなく、他の表示ビット数としてもよい。同じく図2に示すように、各画素20は赤（R）、緑（G）、青（B）のいずれかに対応するものとし、隣接する3つの異なる色の画素をワンセットとして表示色を調整することでカラー表示を行うことが可能となっている（このようなRGB画素セットを画素と呼ぶこともある）。勿論、単色表示としてもよい。また、液晶表示装置1は透過型、反射型、半透過型のいずれとしてもよい。

【0041】

画素マトリクス部10は、図1では、一つの画素20及びそれに対応する部分のみが示されているが、実際にはこのような画素20が行方向（図面の左右方向）及び列方向（図面の上下方向）にマトリクス状に配列され、それに対応して信号線30及び走査線31が設けられる。行方向に整列された複数の画素20を画

素ライン、列方向に整列された複数の画素 20 を画素列と呼ぶこともある。また行方向を水平方向、列方向を垂直方向と呼ぶこともあるため、画素ラインは水平ラインとも呼ばれる。従来例と同様に、各液晶セル 21 は画素電極 22 を有し、これら画素電極 22 と向き合うように対向電極 23 が設けられ、画素電極 22 と対向電極 23 の間に液晶 24 が配置されている。

【0042】

本発明によると、各画素電極 22 とそれに対応する信号線 30 との間に直列に接続された第 1 及び第 2 の 2 つのメモリー回路 40、41 が設けられる。即ち、各画素 20 に対して表示ビット数（この例では 3）の 2 倍（この例では 6 個）のメモリー回路 40、41 が設けられる。第 1 及び第 2 メモリー回路 40、41 は各々選択的に 2 つの状態を有することができ、2 値情報を記憶することができる。また、第 1 メモリー回路 40 と信号線 30 との間には第 1 スイッチ 42 が設けられ、第 1 メモリー回路 40 と第 2 メモリー回路 41 の間には第 2 スイッチ 43 が設けられる。更に、この液晶表示装置 1 は、第 2 スイッチ 43 のオンオフを制御するための信号（転送制御信号）が供給される転送制御線 44 を駆動するための転送制御線駆動回路 45 を有している。

【0043】

図 1 に示した例では、表示ビット数 3 の面積階調を行うため、各画素列に対して 3 本（即ち表示ビット数に等しい数）の信号線 30 が信号線駆動回路 11 から延び、一つの画素 20 に割り当てられた 3 つの第 1 スイッチ 42 はそれぞれ異なる信号線 30 に接続されている。またこの例では各画素ラインに対して 1 本の走査線 31 が走査線駆動回路 12 から延び、一つの画素 20 に割り当てられた 3 つの第 1 スイッチ 42 は同じ走査線 31 上の信号によってオンオフ制御されるようになっている。転送制御線 44 も各画素ラインに対して 1 本設けられており、一つの画素 20 に割り当てられた 3 つの第 2 スイッチ 43 は、同じ転送制御線 44 上の信号によってオンオフ制御される。

【0044】

図 3 は、一つの液晶セル 21 に対する（即ち 1 ビット分の）第 1 メモリー回路 40、第 2 メモリー回路 41、第 1 スイッチ 42 及び第 2 スイッチ 43 の好適実

施例を示す回路図である。この例では、第1及び第2スイッチ42、43は共に電界効果トランジスタ(FET)からなるTFTによって実現されている。また、第1及び第2メモリー回路40、41は、インバータ2つを組み合わせたスタティックRAM(SRAM)として実現されている。図示した例では各インバータは2つの極性の異なるTFTを有しているが、TFTと抵抗を含むものとすることもできる。第1及び第2メモリー回路40、41にはハイレベル電源電位VDDとローレベル電源電位VSS(例えばグランド電位)が供給される。これにより、各液晶セル21の画素電極22には第2メモリー回路41の状態に応じてハイレベル電源電位VDDまたはローレベル電源電位VSSのいずれかが印加される。

【0045】

図4は、第1及び第2デジタル回路40、41の別の実施例を示す回路図である。この図でも、一つの液晶セル21に対応する部分のみを示した。この実施例では、第1及び第2メモリー回路40、41は、容量を含むダイナミックRAM(DRAM)として実現されている。DRAMは、よく知られているように、容量に蓄えられた電荷が時間とともに放電されることから定期的なリフレッシュが必要であるが、SRAMと比べて素子数が少ないという利点がある。この例でも、第2メモリー回路41の状態に応じてハイレベル電源電位VDDまたはローレベル電源電位VSSのいずれかが液晶セル21の画素電極22に印加される。このように、第1及び第2メモリー回路40、41は様々な公知の態様で具現することが可能である。

【0046】

上記したような液晶表示装置1の動作について、図5のタイミングチャートを参照して以下に説明する。尚、以下の説明では、信号線30、走査線31及び転送制御線44に、対応する駆動回路11、12、45から供給されるハイレベル信号電位VH及びローレベル信号電位VLはメモリー回路40、41に印加されるハイレベル電源電位VDD及びローレベル電源電位VSSに等しいものとする。また、対向電極の電位Vcomの変動範囲を定めるハイレベルコモン電位VcomH、ローレベルコモン電位VcomLもハイレベル電源電位VDD、ローレベル電源電

位VSSに概ね等しいものとする。

【0047】

一般に映像信号は複数のフレームからなり、各フレームは各画素20のデータを設定するための走査期間とその後続く帰線期間とを有する。尚、例えば時間階調表示を行う場合のように1フレームが複数の走査期間と帰線期間の対（サブフレーム）を有する場合もある。以下、1フレームが一对の走査期間と帰線期間とを有する場合について説明するが、本発明は1フレームが複数のサブフレームを有する場合にも適用可能である。

【0048】

図5に示すように、走査期間において、信号線駆動回路11から各信号線30にデータ（ハイレベル電位VHまたはローレベル電位VL）が供給されると、第1の走査線31にその走査線31に接続された（即ち同じ水平ラインの）第1スイッチ42をオンするための選択信号（例えばハイレベル電位）G1が供給され、それにより第1メモリー回路40へと信号線30からデータが取り込まれる。続いて、別のデータが信号線駆動回路11から各信号線30に供給され、第2の走査線31に選択信号G2が供給されると、第2の走査線31に接続された第1スイッチ42がオン状態となり、対応する第1メモリー回路40にデータが書き込まれる。これを複数（例えばm本）の走査線31全てについて行い、画面全体において第1メモリー回路40にデータを書き込む。第1メモリー回路40へのデータ書き込みが終了した後（即ち、走査期間が終了した後）、帰線期間において、対向電極23の電位Vcomを切り換える（図ではローレベル電位VSS→ハイレベル電位VDD）とともに、続いて転送制御線駆動回路45から複数（図1の例では走査線31と同じ数、即ちm本）の転送制御線44に共通の転送信号（例えばハイレベル電位）Tcomを供給し、第2スイッチ43をオン状態とする。これにより、各第1メモリー回路40から対応する第2メモリー回路41へとデータが転送される。次のフレームでは、第2メモリー回路41に書き込まれたデータに基づいて画面表示を行うとともに、同時に、後続のフレームのため上記したような第1メモリー回路40へのデータの書き込みを行う。

【0049】

上記したようなアクティブマトリクス型液晶表示装置 1 によれば、各液晶セル 21（または各画素電極 22）に対し第 1 及び第 2 メモリー回路 40、41 の 2 つのメモリー回路を用いたことから、ある走査期間において第 1 メモリー回路 40 に次の帰線期間において設定される対向電極 23 の電位 V_{com} に合わせたデータを書き込んでいる間、前の帰線期間において第 1 メモリー回路 40 から第 2 メモリー回路 41 に転送されたデータを用いて画像表示を行うことができるため、走査期間に画面表示を行っても画面の乱れが生じない。従って、走査期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確保して良好な明るさの画面表示を容易に実現することができる。

【0050】

また、各液晶セル 21 の画素電極 22 には対応する第 2 メモリー回路 41 を通じてハイレベル電源電位 V_{DD} またはローレベル電源電位 V_{SS} が供給されるため、交流駆動により対向電極 23 の電位 V_{com} がハイレベルコモン電位 V_{comH} （この例ではハイレベル電源電位 V_{DD} に等しい）とローレベルコモン電位 V_{comL} （この例ではローレベル電源電位 V_{SS} に等しい）の間で変化しても画素電極 22 の電位 V_{pix} はそれに影響されない。従って、画素電極 22 の電位 V_{pix} が不所望に高くなることのないことから、低耐圧の素子（TFT など）を使用することが可能であり、製造コストを低減することができる。またこれにより、画素マトリクス部 10、駆動回路 11、12 等を CPU 13 やコントローラ 14 と同じ素子構造の低耐圧素子を用いて形成することができ、トランジスタのゲート絶縁膜の厚さを 50 nm 以下、ゲート長を 2 μ m 以下とすることができる。従って、液晶表示装置に 1 に含まれるこれら回路を共通のプロセスを用いて形成することができるため、液晶表示装置 1 の製造コストを大きく低減することが可能である。

【0051】

更に、第 1 メモリー回路 40 から第 2 メモリー回路 41 へのデータ転送は比較的短時間でできるため、帰線期間において対向電極 23 の電位 V_{com} の切り換え及び記憶回路 40、41 間のデータ転送を行う際にバックライト等の光源（図示せず）がオンしていても、それらの動作に伴う画面の乱れを最小限に抑えること

ができる。画面の乱れをより小さくするべく帰線期間において光源をオフにすることも可能である。

【0052】

図5に示した例では、 m 本の転送制御線44に同時に共通の転送信号 T_{com} を供給し、第1メモリー回路40から第2メモリー回路41へのデータ転送を一度に行っているが、そのようにすると電荷の移動が急激に起こり、電源電圧が変動する怖れもある。そのような問題が生じないようにするため、転送制御線44を複数（例えば L 個）のグループに分け、図6に示すように、各グループ毎に異なるタイミングで転送信号 $T_1 \sim T_L$ を供給し、電源電圧の変動を抑えるようにすることも可能である。転送制御線44のグループ分けは任意に可能であり、例えば m 本の転送制御線を順に44-1、44-2、...、44- m とした場合、3つおきの転送制御線を1グループとし、転送制御線44-1、44-5、44-9、...を第1のグループ、転送制御線44-2、44-6、44-10、...を第2のグループ、転送制御線44-3、44-7、44-11、...を第3のグループ、転送制御線44-4、44-8、44-12、...を第4のグループとすることができる（この場合、 $L=4$ ）。各グループが一つの転送制御線44のみを含むようにし、各転送制御線44に異なるタイミングで転送信号を与えても良い（ $L=m$ ）。また図5に示したような全転送制御線44に同時に転送信号を送る場合は、転送制御線44がただ一つのグループのみからなるもの（ $L=1$ ）と言うこともできる。

【0053】

図7は、図1に示したような、各画素列に対して表示ビット数と同じ数の信号線が設けられた液晶表示装置1に適した信号線駆動回路11の好適実施例を示す回路図である。この信号線駆動回路11は、シフトレジスタ50と、複数の映像データ線51と、シフトレジスタ50からの信号に応じて映像データ線51からデータを取り込む複数の第1ラッチ回路52と、第1ラッチ回路52の出力に接続された対応する数の第2ラッチ回路53と、第2ラッチ回路53を制御するための第2ラッチ回路制御線54とを有する。映像データ線51は表示ビット数（この例では3）と同じ数だけ設けられ、各映像データ線51上には対応するビッ

トのデータが供給される。また、第 1 及び第 2 ラッチ回路 5 2、5 3 は、それぞれ一画素列につき表示ビット数と同じ数（この例では 3）だけ設けられ、各画素列に対応する 3 つの第 1 ラッチ回路 5 2 はそれぞれ異なる映像データ線 5 1 に接続されている。即ち、第 1 及び第 2 ラッチ回路 5 2、5 3 は、それぞれ、1 水平ラインに含まれる液晶セル 2 1（画素電極 2 2）と同じ数だけ設けられる。また、この例では、各画素列に対応する 3 つの第 2 ラッチ回路 5 3 の各々の出力には、その画素列に対応する 3 つの信号線 3 0 のうち対応するものが接続されている。尚、図 7 では、第 1 及び第 2 ラッチ回路 5 2、5 3 は一つの画素列に対応するものしか示していないが、実際には複数の画素列に対応して設けられることを理解されたい。

【0 0 5 4】

このような信号線駆動回路 1 1 は以下のように動作する。まず、映像データ線 5 1 の各々に、ある画素 2 0 のためのビットデータが供給されると、シフトレジスタ 5 0 からその画素 2 0 に対応する第 1 ラッチ回路 5 2 に制御信号が供給され、映像データ線 5 1 上のデータが第 1 ラッチ回路 5 2 に取り込まれる。続いて同じ画素ライン上の隣接する画素 2 0 に対するビットデータが映像データ線 5 1 上に供給され、シフトレジスタ 5 0 からその画素 2 0 に対応する第 1 ラッチ回路 5 2 に対して信号が供給され、第 1 ラッチ回路 5 2 にデータを書き込む。このようにして、1 水平ライン分の各画素 2 0 に対して第 1 ラッチ回路 5 2 にデータが書き込まれると、第 2 ラッチ回路制御線 5 4 を通じて第 2 ラッチ回路 5 3 の各々に制御信号が供給され、第 1 ラッチ回路 5 2 から対応する第 2 ラッチ回路 5 3 へとデータが移される。各第 2 ラッチ回路 5 3 の出力は対応する信号線 3 0 に接続されているため、それにより各信号線 3 0 上にデータが供給される。この状態で、走査線 3 1（図 1）にオン信号が供給されると、上記したように、その走査線 3 1 に接続された第 1 メモリ回路 4 0 に信号線 3 0 上のデータが書き込まれる。

【0 0 5 5】

図 1 に示した液晶表示装置 1 では、1 つの画素 2 0 に対して 3 本の信号線 3 0 と 1 本の走査線 3 1 とが設けられていた。1 本の走査線 3 1 は 1 水平ラインの画素 2 0 によって共有することができるため、RGB 用の 3 つの画素 2 0 からなる

画素セットに対しては9本の信号線30と1本の走査線31とが設けられることとなる。図2に示したように、各色の画素20を構成する複数（この例では3つ）の液晶セル21（または対応する画素電極22）は列方向（信号線の延在方向）に配列され、各画素20が縦長の形状をなし、個々のRGB画素セットが概ね正方形となるようにするのが通常である。従って、このような実施例では、信号線30の密度が高くなり、レイアウトが困難となる場合がある。図8及び図9に、そのような問題を解決するべく、信号線30の本数を減らし走査線31の本数を増やすことが可能な実施例を示す。

【0056】

図8は、図1に示した液晶表示装置1の変形実施例を示す回路図である。本図において図1と同様の部分には同じ符号を付して詳しい説明を省略する。この液晶表示装置100の画素マトリクス部10aでは、一画素に割り当てられた3つの第1メモリー回路40は対応する第1スイッチ42を介して同じ信号線30に接続され、各第1スイッチ42は異なる走査線31に接続されている。即ち、この例では一つの画素列につき1本の信号線30が設けられ、一つの水平画素ラインにつき3本の走査線31が設けられている。

【0057】

図9は、図8に示した液晶表示装置100に適した信号線駆動回路の実施例を示す回路図である。本図において図7と同様の部分には同じ符号を付して詳しい説明を省略する。この信号線駆動回路11aは、一つの画素列に割り当てられる3つの第2ラッチ回路53の出力が選択スイッチSW1を介して一つの信号線30に接続されている点が図7の実施例と異なる。

【0058】

図9に示した信号線駆動回路11aの動作は、第2ラッチ回路53にデータを取り込むところまでは図7に記載した信号線駆動回路11と同じであるが、信号線30へ出力する信号を選択スイッチSW1を介して順に3つの第2ラッチ回路53から選択する点が異なる。そして、図8に示した画素マトリクス部10の第1スイッチ42は、信号線駆動回路11aの選択スイッチSW1と同期して動作し、対応する第1メモリー回路40に信号線30上のデータを書き込む。例えば

図 9 の右側の第 2 ラッチ回路 53 が信号線 30 に接続されているときは図 8 の上側の第 1 スイッチ 42 がオンし、中央の第 2 ラッチ回路 53 が信号線 30 に接続されているときは中央の第 1 スイッチ 42 がオンし、左側の第 2 ラッチ回路 53 が信号線に接続されているときは下側の第 1 スイッチ 42 がオンするというようにすることができる。このように、この実施例では、ある画素 20 のビットデータは対応する第 1 メモリ回路 40 に時分割で書き込まれる。他の動作は図 1 に示した液晶表示装置 1 と同じである。

【0059】

このように図 8 及び図 9 に示した実施例によれば、各画素列に対し信号線 30 を 1 本とすることができるため、信号線 30 のレイアウトを容易に行うことができる。

【0060】

図 10 は、図 1 に示した液晶表示装置 1 の別の変形実施例を示す回路図である。本図において、図 1 と同じ箇所には同じ符号を付した。図 10 の液晶表示装置 110 は、画素マトリクス部 10b において転送制御線 44 が列方向に信号線 30 と平行に延びている点が図 1 の実施例と異なるが、その動作は同じであり、同様の作用効果を奏することができる。このように、転送制御信号 44 は行方向、列方向のいずれに延びてもよい。

【0061】

上記したような液晶表示装置 1、100、110 は様々な電子機器に用いることができる。そのような電子機器には、例えば、携帯電話、デジタルカメラ、ビデオカメラ、PDF、ノート型パソコン、腕時計、携帯型 DVD プレーヤー、プロジェクタ、携帯書籍（電子ブック）などが含まれるが、これらに限定されるわけではない。図 11 には、電子機器の例として携帯電話 120 を示した。

【0062】

図 12 は、本発明を適用することが可能な、液晶表示装置とゲーム機能を内蔵した一体型表示装置の例を示すブロック図である。この一体型液晶表示装置 130 は、画素マトリクス部（または液晶表示部）140、信号線駆動回路 141、走査線駆動回路 142、転送制御線駆動回路 150、CPU 143、コントロー

ラ 144、画像処理回路 145、CPU インタフェース回路 146 を含む。画素マトリクス部 140 に、図 1、図 8 及び図 10 に示した画素マトリクス部 10、10a または 10b を用いることができる。信号線駆動回路 141、走査線駆動回路 142、転送制御線駆動回路 150 は、それぞれ、例えば図 1 に示した信号線駆動回路 11、走査線駆動回路 12、転送制御線駆動回路 45 に対応する。また CPU 143、コントローラ 144 は図 1 に示した CPU 13、コントローラ 14 に対応する。

【0063】

画像処理回路 145 にはカラー処理回路 147、オブジェクト生成回路 148、バックグラウンド生成回路 149 などが含まれる。オブジェクト生成回路 148 はゲームに登場するキャラクターを構成するための回路であり、バックグラウンド生成回路 149 はキャラクターの背景を構成するための回路である。また、カラー処理回路 147 はカラーパレットメモリ 147a を有し、キャラクター、背景の色を制御する。画像処理回路 145 にはビデオ RAM (VRAM) 152 が接続されており、画面表示されるデータはこの VRAM 152 に書き込まれる。CPU 143 はキーボード等の入力装置 151 からの入力によって画像処理回路 145 や外部のメモリー (例えばプログラム RAM 153、ワーク RAM 154 など) を制御する。CPU インタフェース回路 146 は、CPU 143 と画像処理回路 145 の間及び CPU 143 と外部装置 (キーボード 151、プログラム RAM 153、ワーク RAM 154 など) の間に位置し、例えば CPU 143 と画像処理回路 145 のタイミング調整などのインタフェース機能を果たす。コントローラ 144 は信号線駆動回路 141、走査線駆動回路 142 及び転送制御線駆動回路 150 のタイミング制御や画像処理回路 145 のタイミング制御を行う。これらのロジック回路 (CPU 143、コントローラ 144、画像処理回路 145、CPU インタフェース回路 146) は動作速度向上及び消費電力低減などのためできる限り低い電圧で駆動することが望ましく、また構成素子として TFT を用いる場合ゲート長及びゲート絶縁膜を極力小さくした低電圧用 TFT を用いることが望ましい。本発明は、液晶表示部 141 と素子数の多いロジック回路とを一体化した表示装置 130 において、そのような低電圧用 TFT を共通に

用いることを可能とし、表示装置の製造プロセスを大幅に簡略化する上で極めて有効である。

【0064】

以上、本発明を実施例に基づいて詳細に説明したが、これらの実施例はあくまでも例示であって本発明は実施例によって限定されるものではない。当業者であれば特許請求の範囲によって定められる本発明の技術的思想を逸脱することなく様々な変形若しくは変更が可能であることは言うまでもない。

【0065】

例えば、上記実施例では面積階調のアクティブマトリクス型表示装置について本発明を説明したが、本発明は時間階調のアクティブマトリクス型表示装置にも適用可能である。その場合、1フレーム内に複数のサブフレームが含まれ得るが、対向電極の電位の切り替えをサブフレーム単位に行うこともできる。また、上記実施例ではTFTはFETからなるものとしたが、バイポーラトランジスタなど別のタイプのトランジスタとすることも可能である。本発明を階調表示を行わない（即ち各画素はオンまたはオフの2状態）場合にも適用することも可能である。第2スイッチ43を複数のグループに分け、グループ単位に異なるタイミングでオンして対応する第1メモリー回路40から第2メモリー回路41へのデータ転送を行うようにしてもよい。これらの実施例も本発明の範囲に入るべきものである。

【0066】

【発明の効果】

以上説明したように、本発明によると、各画素電極に対して一对のメモリー回路（第1メモリー回路及び第2メモリー回路）を設けたことから、第1期間（走査期間）において第1スイッチを順次オンして第1メモリー回路に次の第2期間（帰線期間）において設定される対向電極の電位に合わせたデータを書き込んでいる間、前の第2期間において第1メモリー回路から第2メモリー回路へと転送されたデータを用いて画像表示を行うことができるため、第1期間に画面表示を行っても画面の乱れが生じない。従って、第1期間にも画面表示を行うことができることから、交流駆動に伴う画面の乱れを抑制しつつ十分な画像表示期間を確

保して良好な明るさの画面表示を容易に実現することができる。

【0067】

また、各画素電極には対応する第2メモリー回路を通じて異なる2つの電位（ハイレベル電源電位VDDまたはローレベル電源電位VSS）のいずれかが供給されるため、交流駆動により対向電極の電位が第1の電位と第2の電位の間で変化しても画素電極の電位（Vpix）はそれに影響されない。従って、画素電極の電位が不所望に高くなることがないことから、低耐圧の素子（TFTなど）を使用することが可能であり、製造コストを低減することができる。

【図面の簡単な説明】

【図1】

本発明の一実施例に基づくアクティブマトリクス型液晶表示装置の模式的な回路図。

【図2】

画素マトリクス部の一部を示す平面図。

【図3】

1ビット分の第1メモリー回路、第2メモリー回路、第1スイッチ及び第2スイッチの好適実施例を示す回路図。

【図4】

1ビット分の第1メモリー回路、第2メモリー回路、第1スイッチ及び第2スイッチの別の好適実施例を示す回路図。

【図5】

図1に示した晶表示装置の動作の好適実施例を説明するためのタイミングチャート。

【図6】

図1に示した晶表示装置の動作の別の実施例を説明するためのタイミングチャート。

【図7】

図1に示したシフトレジスタの好適実施例を示す模式図。

【図8】

図 1 に示した液晶表示装置 1 の変形実施例を示す模式的な回路図

【図 9】

図 8 に示したシフトレジスタの好適実施例を示す模式図。

【図 10】

図 1 に示した液晶表示装置 1 の別の変形実施例を示す回路図

【図 11】

電子機器の例として携帯電話を示す模式図。

【図 12】

本発明を適用することが可能な液晶表示装置とゲーム機能を内蔵した一体型表示装置の例を示すブロック図。

【図 13】

アクティブマトリクス型液晶表示装置の従来例を示す模式的な回路図。

【図 14】

反転駆動方法について説明するための電圧波形図。

【図 15】

交流駆動方法について説明するための電圧波形図。

【符号の説明】

- 1 液晶表示装置
- 10、10a、10b 画素マトリクス部
- 11、11a 信号線駆動回路
- 12 走査線駆動回路
- 13 CPU
- 14 コントローラ
- 20 画素
- 21 液晶セル
- 22 画素電極
- 23 対向電極
- 24 液晶
- 40 第 1 メモリ回路

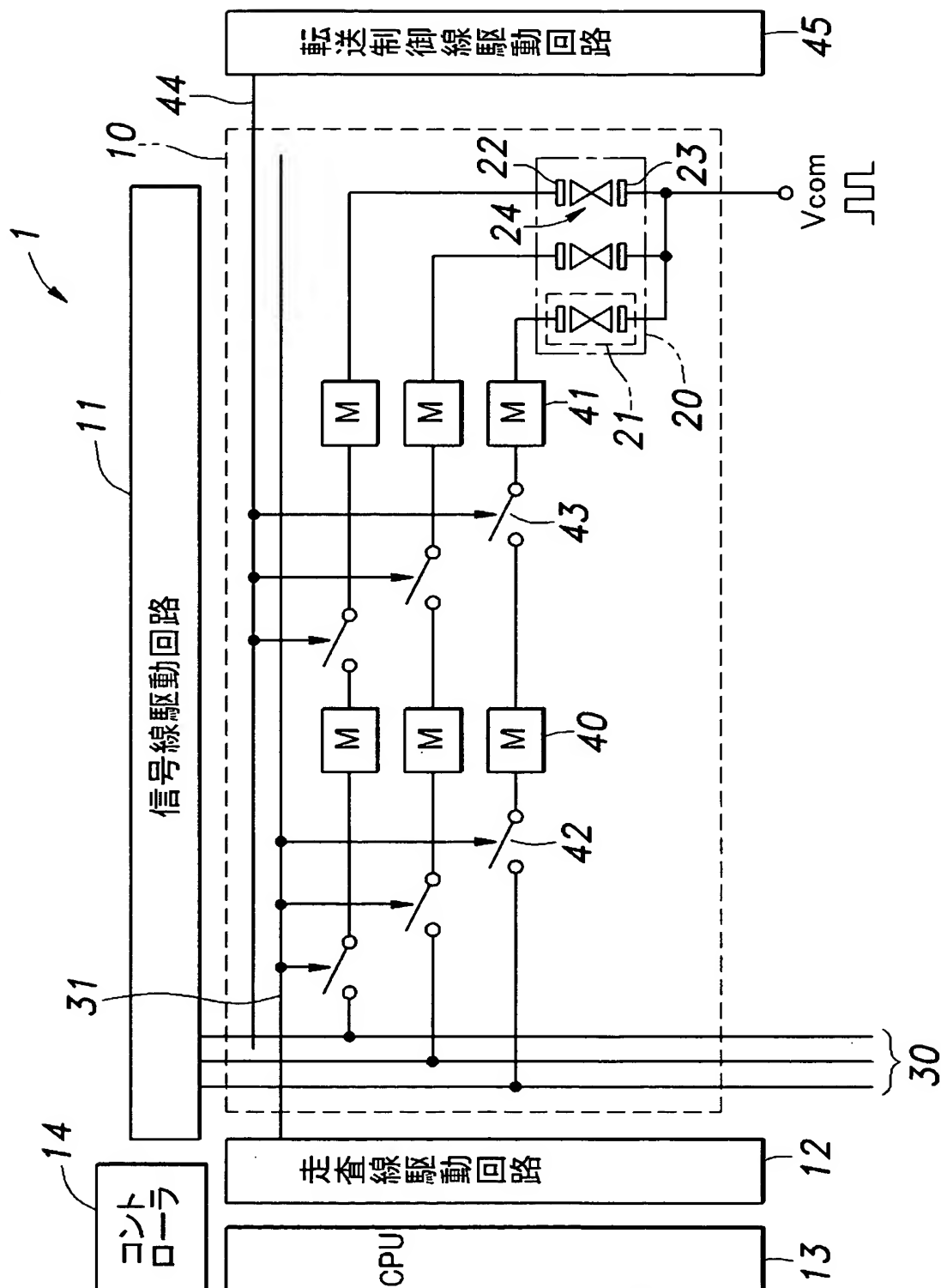
- 4 1 第 2 メモリー回路
- 4 2 第 1 スイッチ
- 4 3 第 2 スイッチ
- 4 5 転送制御線駆動回路
- 5 0 シフトレジスタ
- 5 1 映像データ線
- 5 2 第 1 ラッチ回路
- 5 3 第 2 ラッチ回路
- 5 4 第 2 ラッチ回路制御線
- 1 0 0 液晶表示装置
- 1 1 0 液晶表示装置
- 1 2 0 携帯電話（電子機器）
- 1 3 0 一体型液晶表示装置
- 1 4 0 画素マトリクス部
- 1 4 1 信号線駆動回路
- 1 4 2 走査線駆動回路
- 1 4 3 C P U
- 1 4 4 コントローラ
- 1 4 5 画像処理回路
- 1 4 6 C P U インタフェース回路
- 1 4 7 カラー処理回路
- 1 4 7 a カラーパレットメモリ
- 1 4 8 オブジェクト生成回路
- 1 4 9 バックグラウンド生成回路
- 1 5 0 転送制御線駆動回路
- 1 5 2 V R A M
- 1 5 1 キーボード（入力装置）
- 1 5 3 プログラム R A M
- 1 5 4 ワーク R A M

2 0 0 アクティブマトリクス型液晶表示装置
2 1 0 画素マトリクス部（または液晶表示部）
2 1 1 信号線駆動回路
2 1 2 走査線駆動回路
2 1 3 C P U
2 1 4 コントローラ
2 2 1 液晶セル
2 2 2 画素電極
2 2 3 対向電極
2 2 4 液晶
2 2 5 保持容量
2 3 0 信号線
2 3 1 走査線
2 4 2 画素 T F T
S W 1 選択スイッチ
V D D ハイレベル電源電位
V S S ローレベル電源電位
V com 対向電極の電位

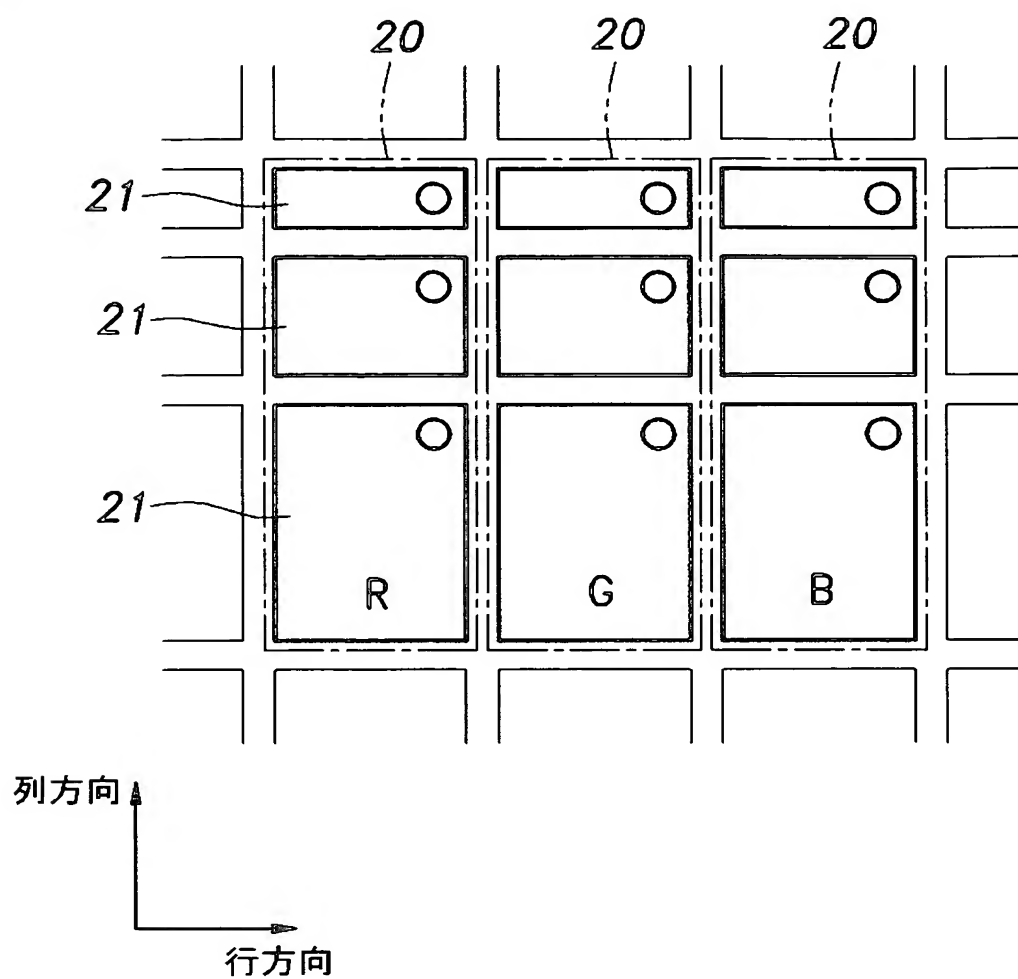
【書類名】

図面

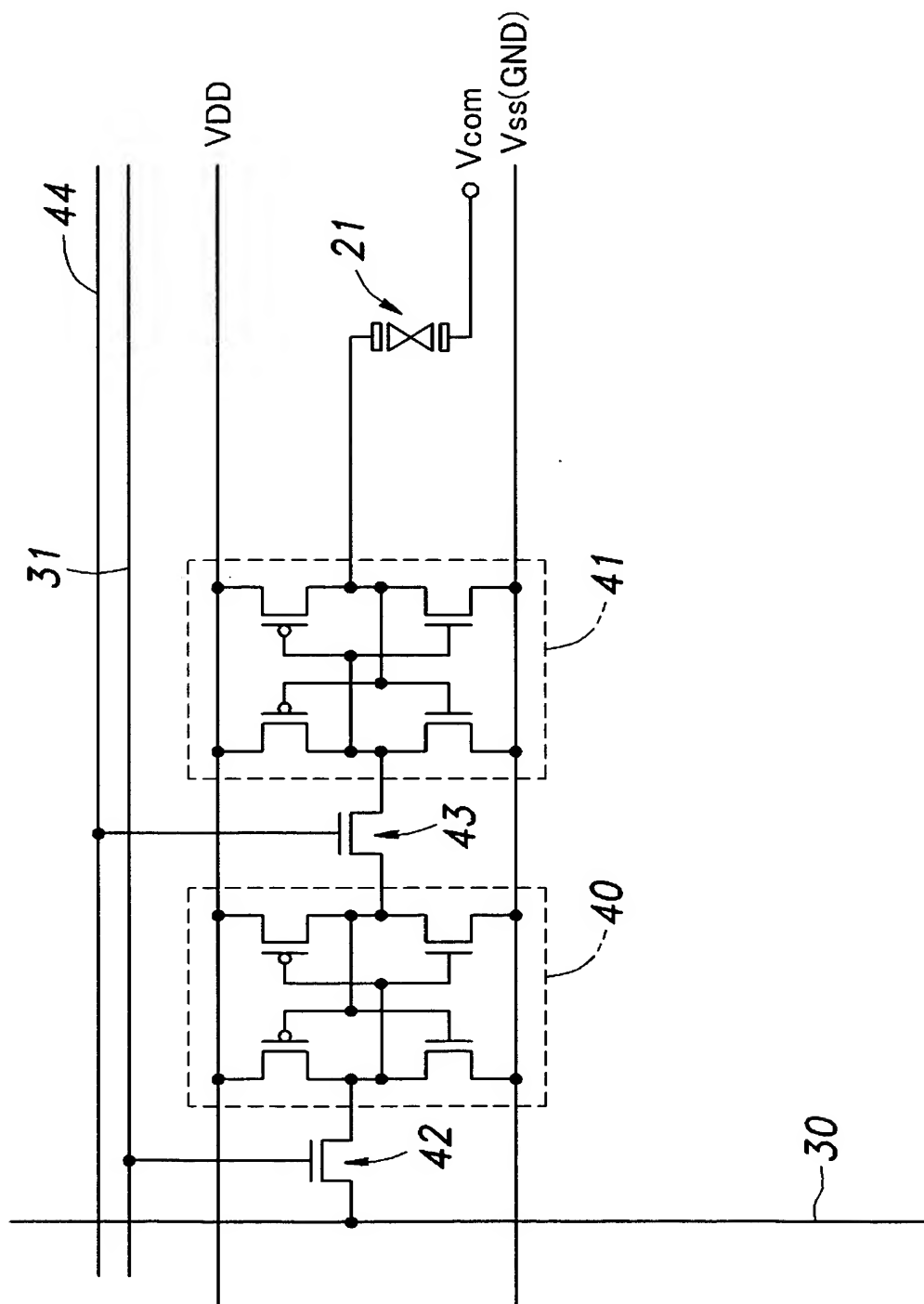
【図 1】



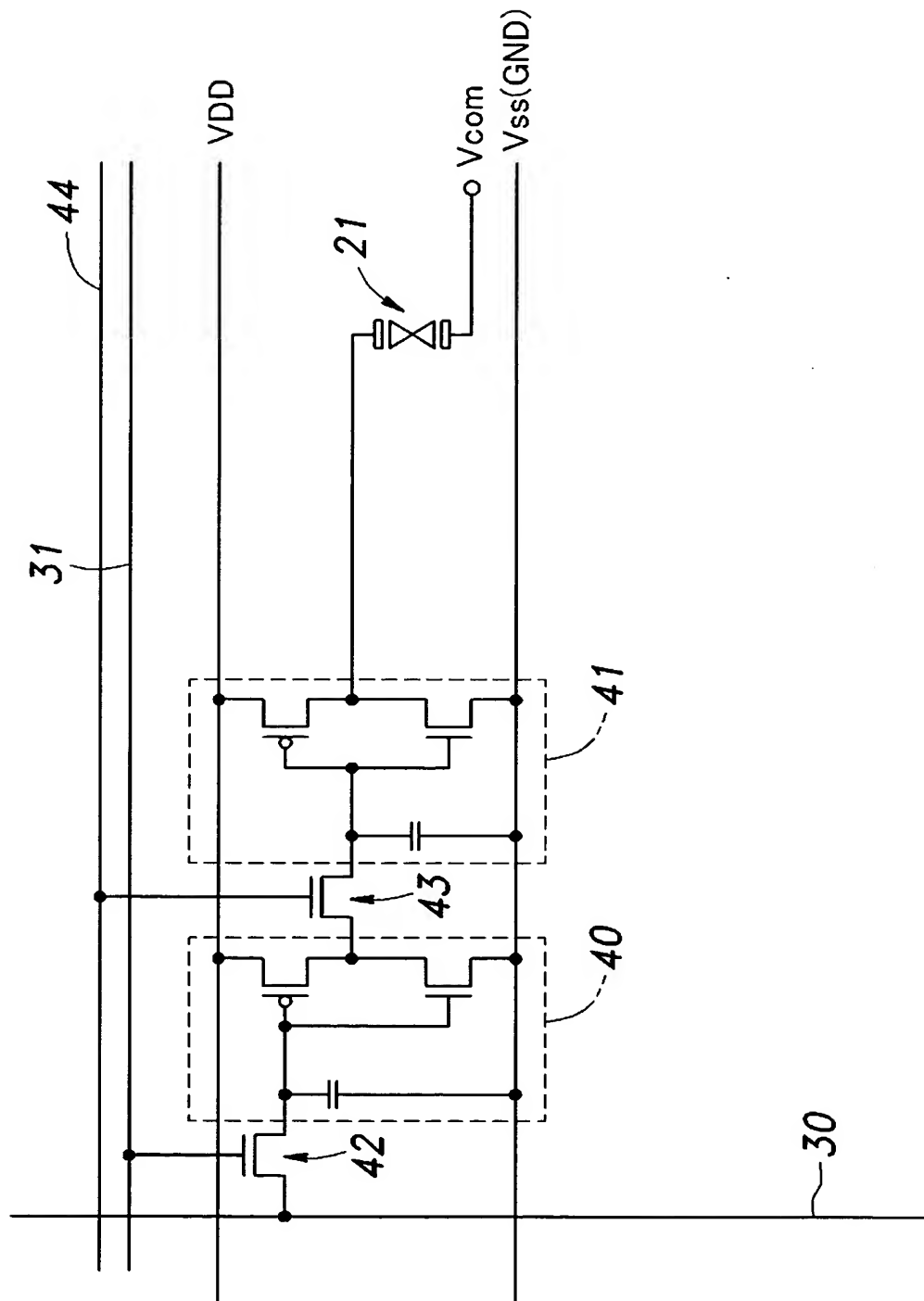
【図 2】



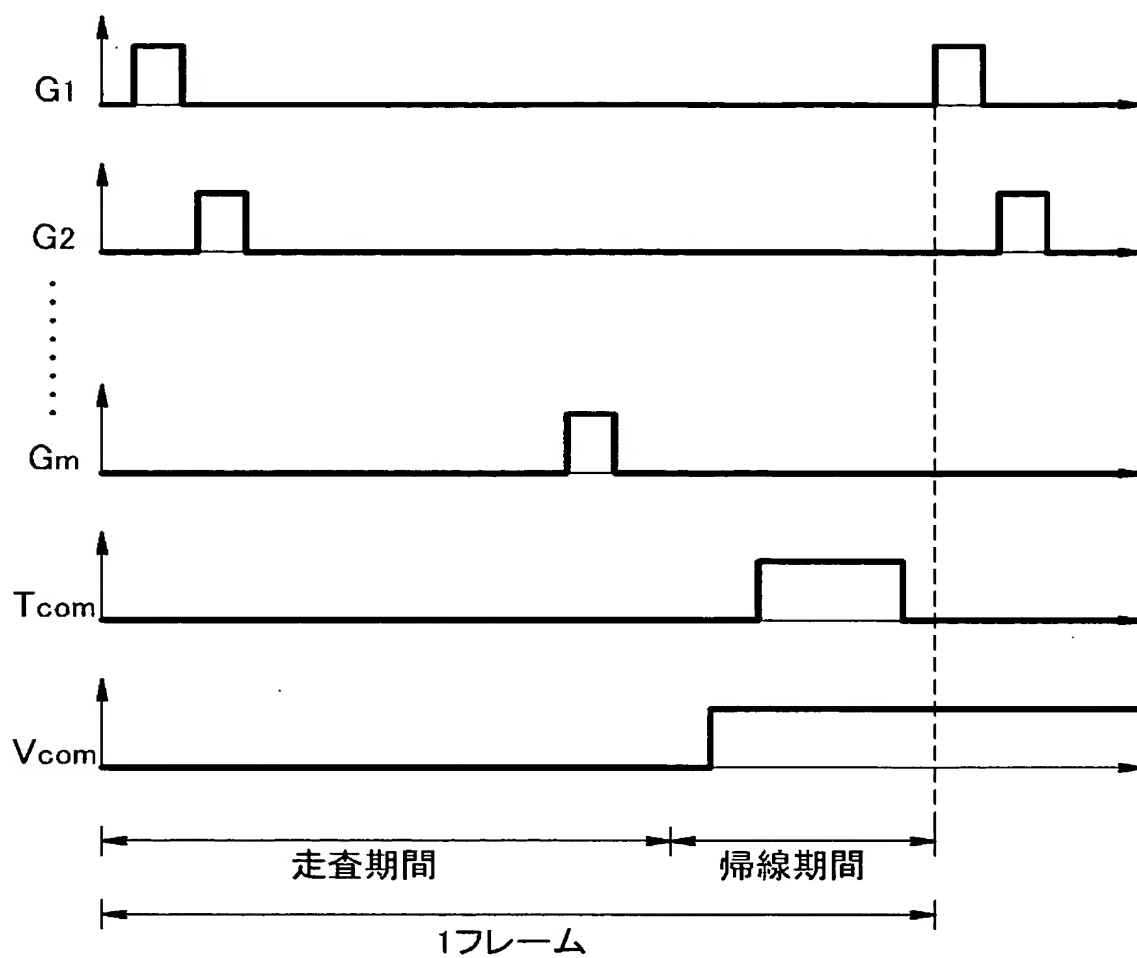
【図 3】



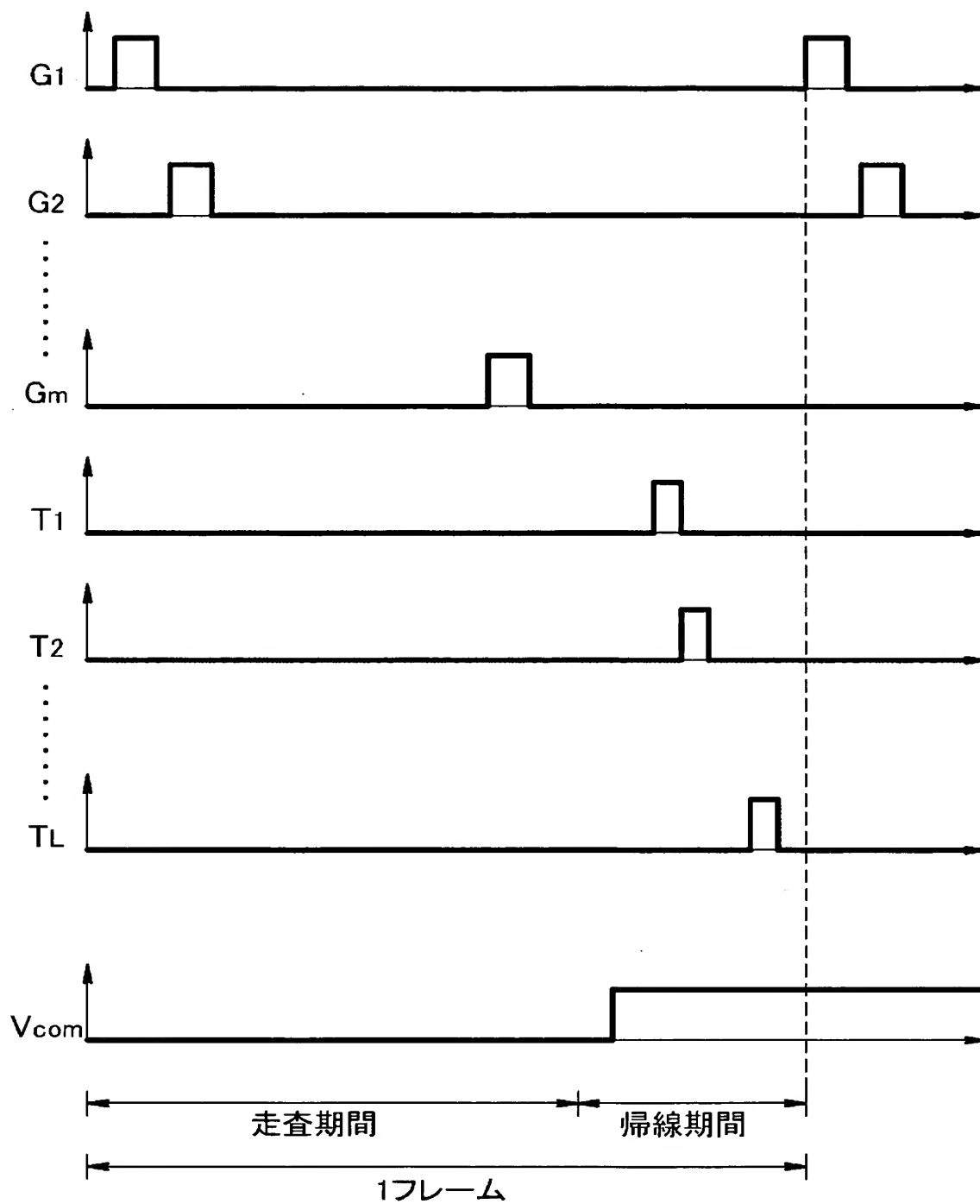
【図 4】



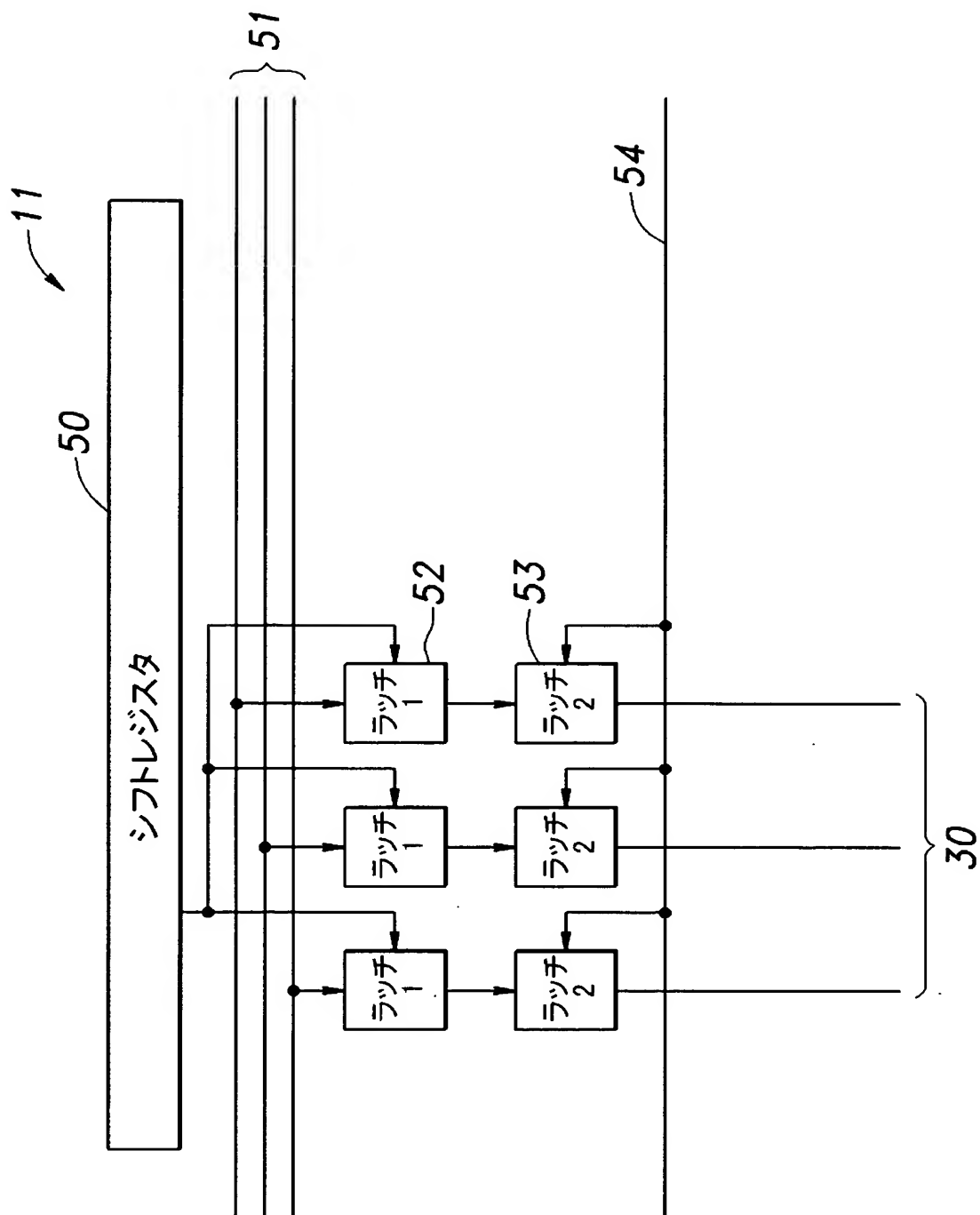
【図 5】



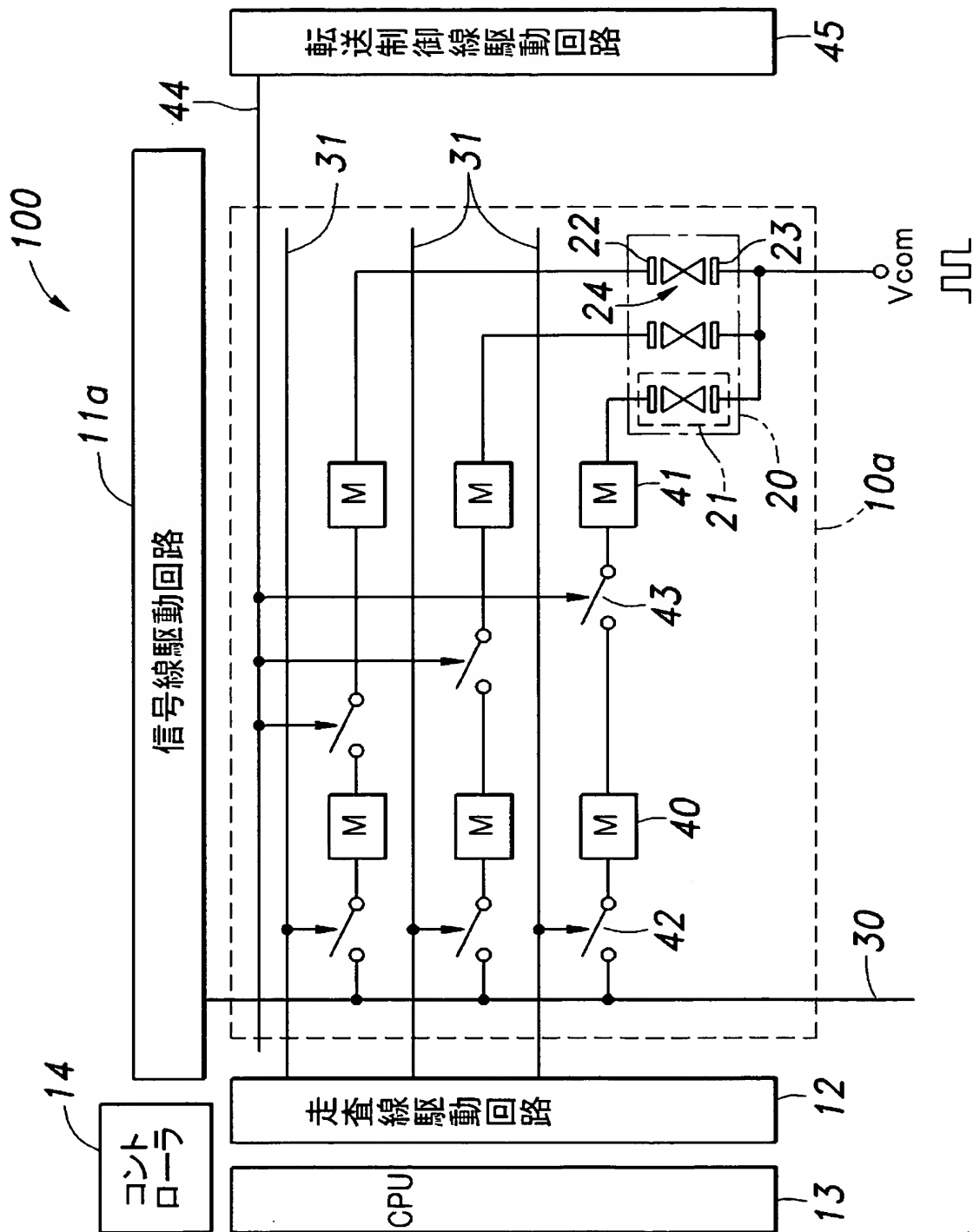
【図 6】



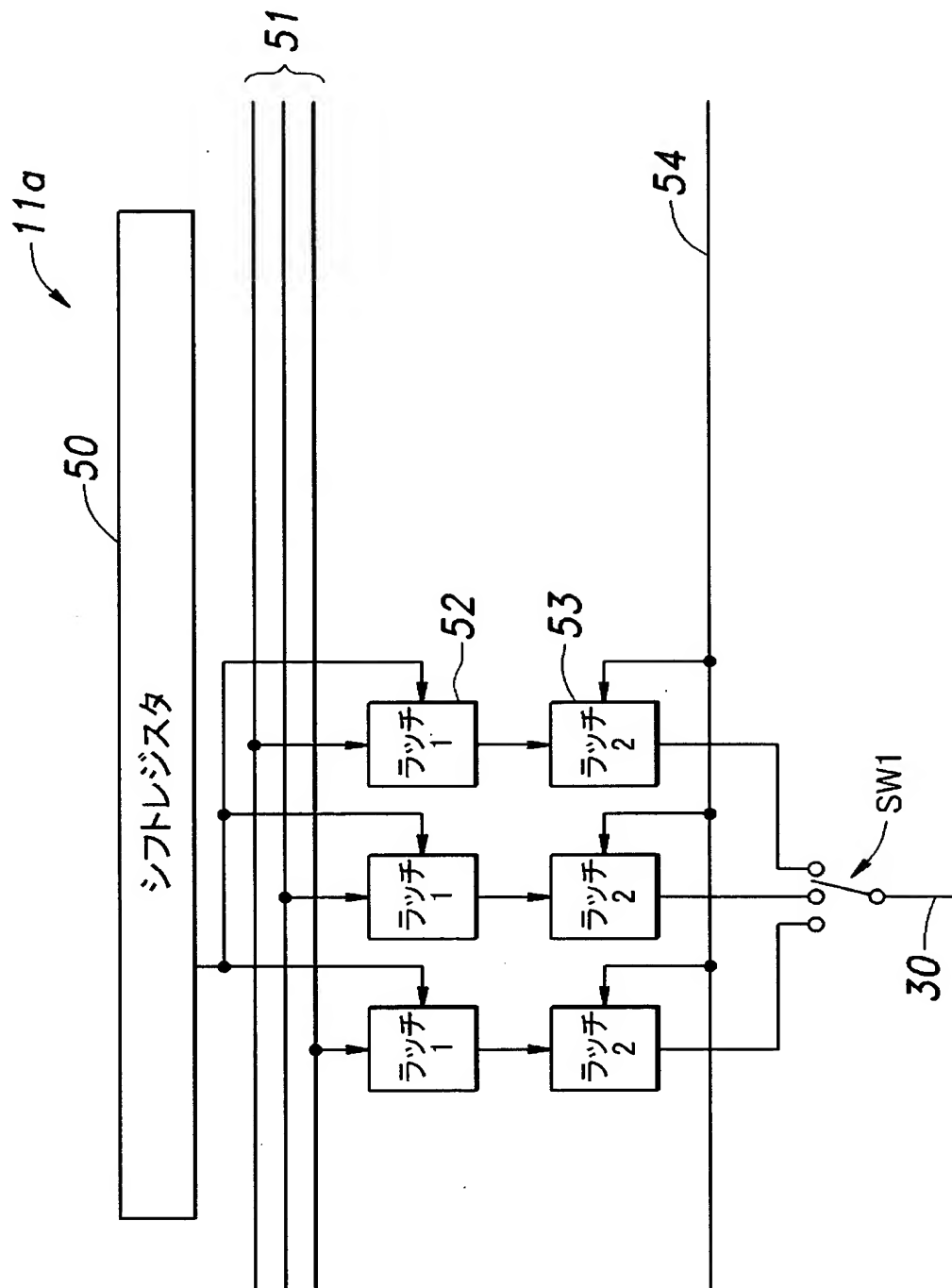
【図 7】



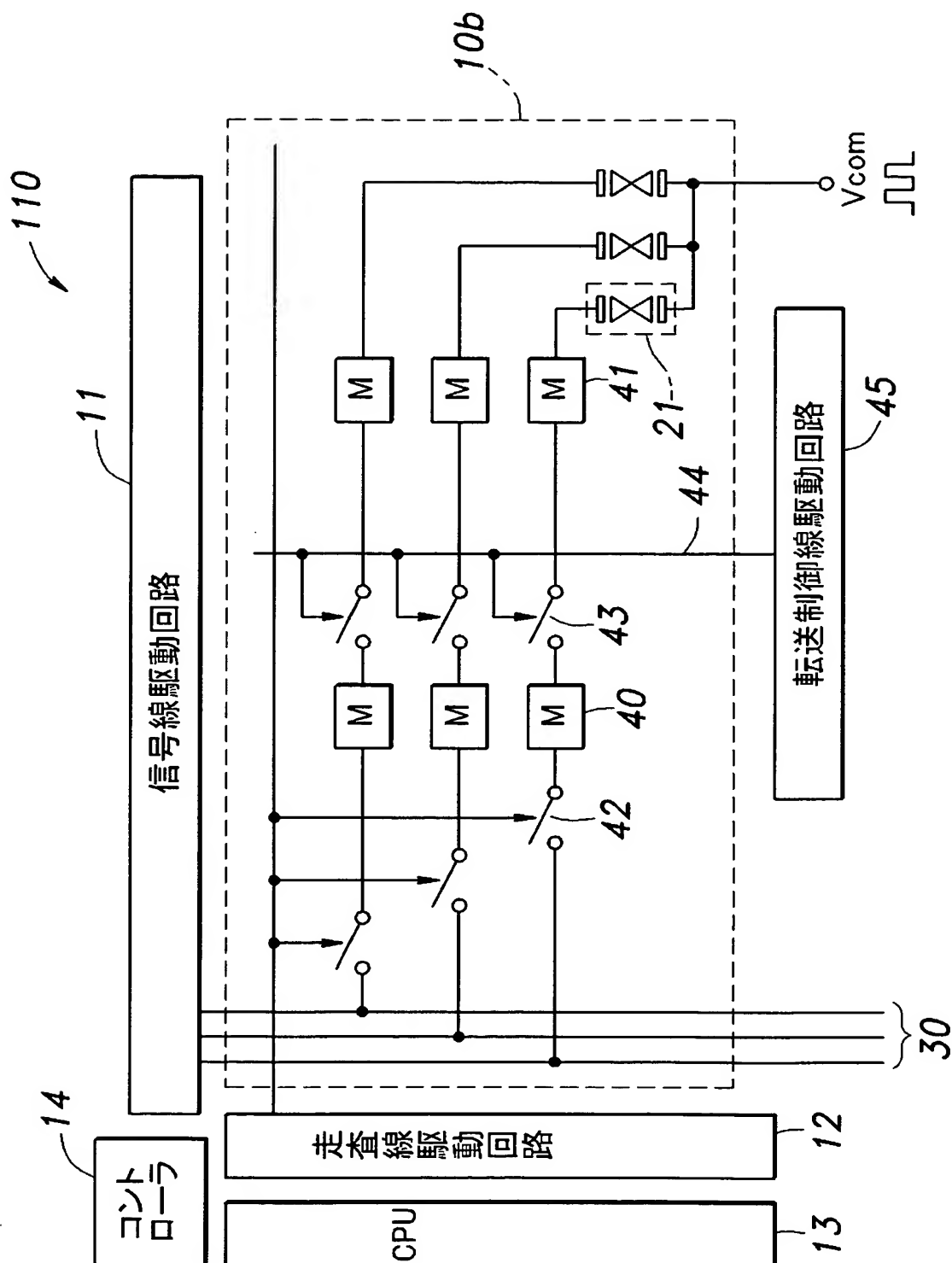
【図 8】



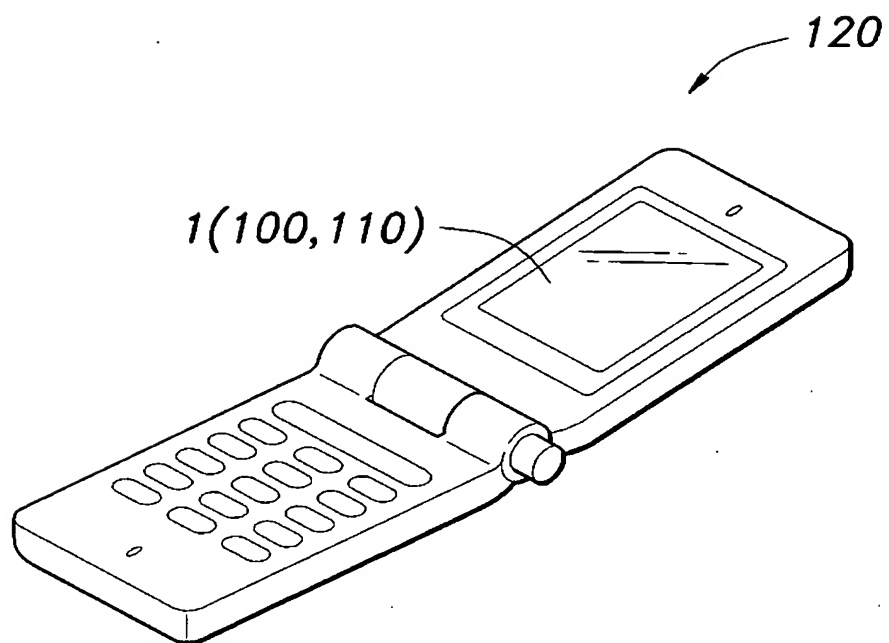
【図 9】



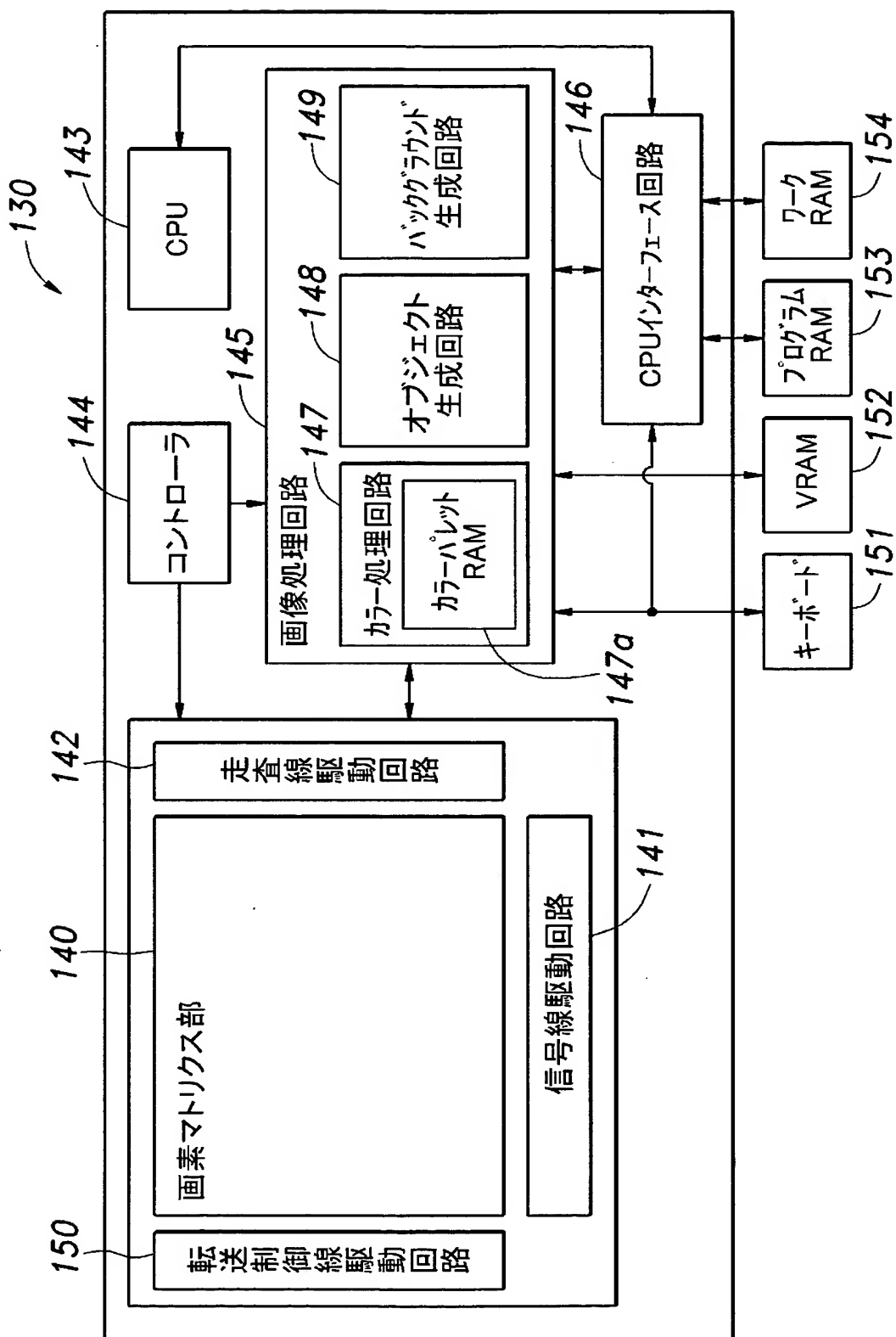
【図 10】



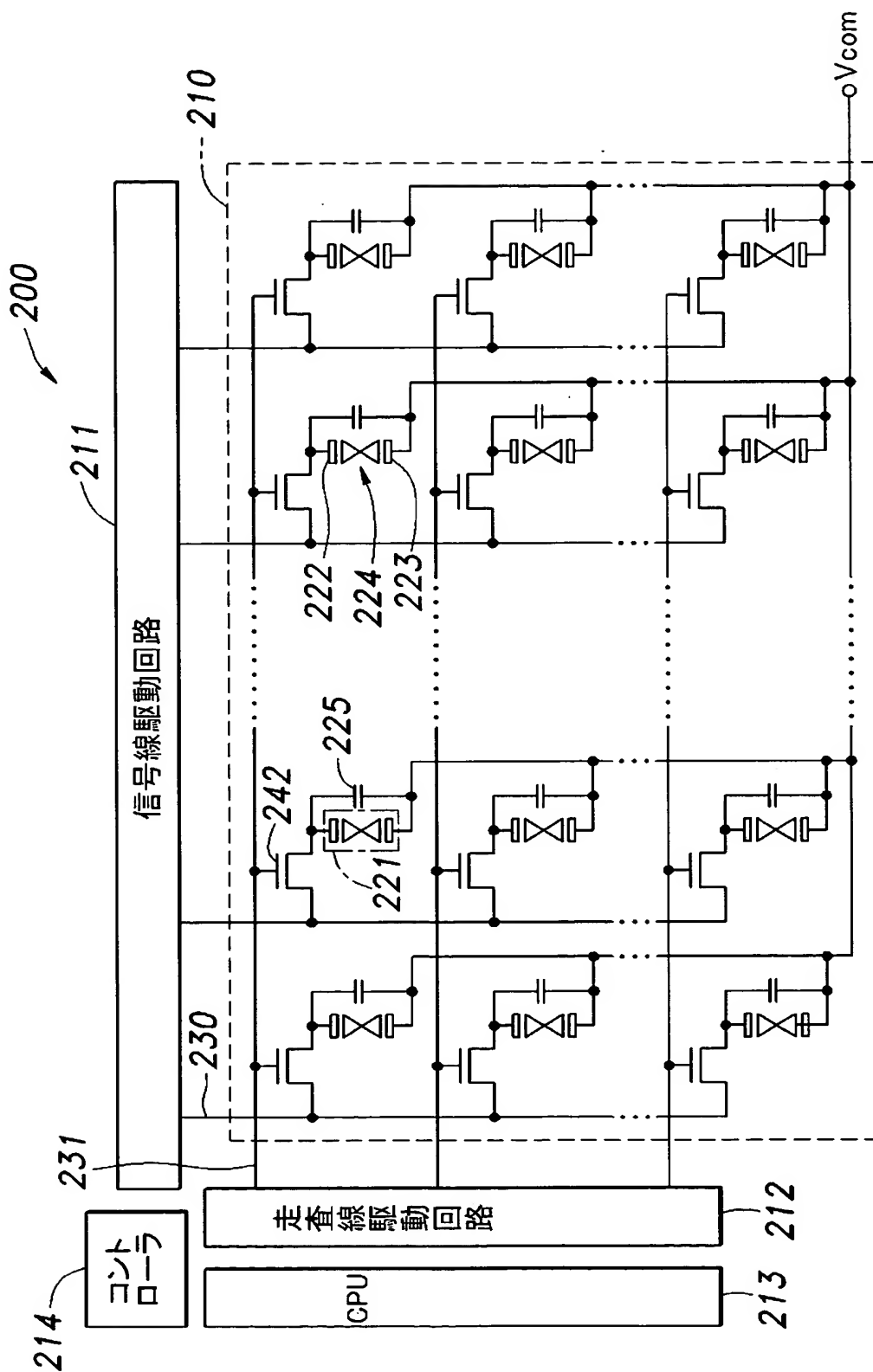
【図 11】



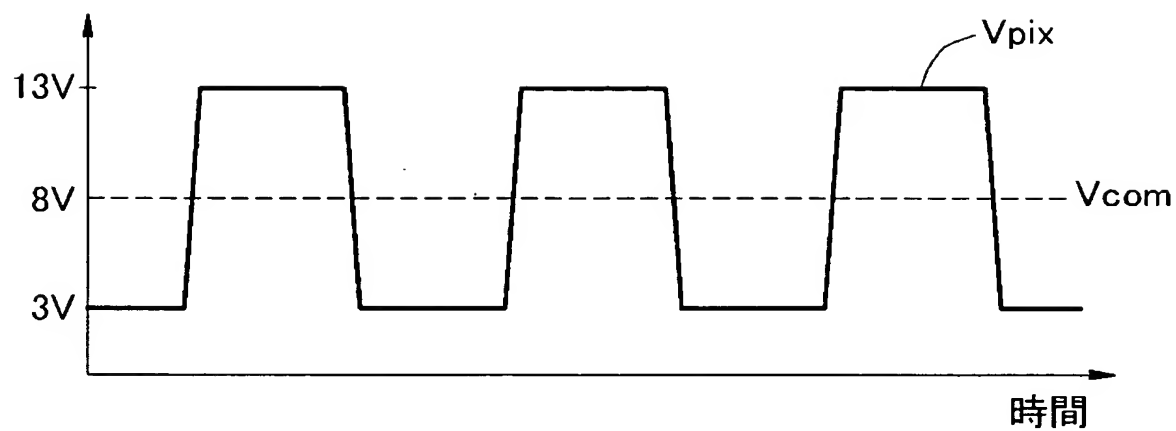
【図 12】



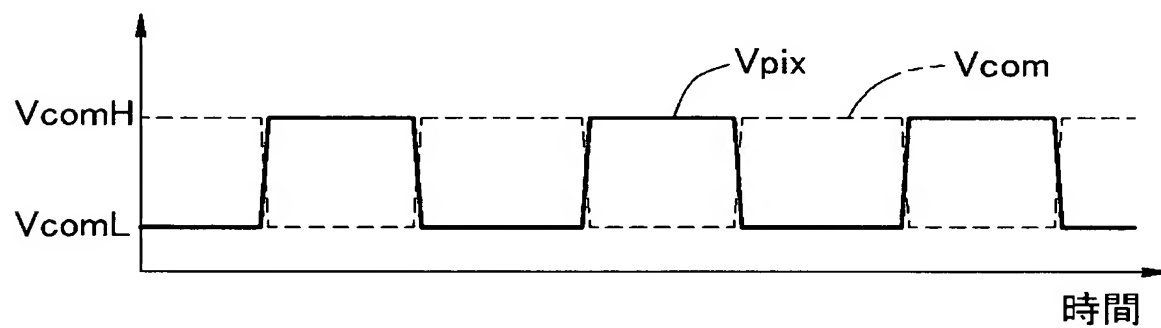
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 画素電極の電位の変動範囲を抑制しつつ、十分な明るさの画面を容易に得ることが可能な交流駆動式のアクティブマトリクス型表示装置を提供する。

【解決手段】 本発明の表示装置（１、１００、１１０）は、各画素電極（２２）と対応する信号線（３０）との間に直列に２つのメモリー回路（第１メモリー回路（４０）及び第２メモリー回路（４１））を接続し、第１メモリー回路のデータの書き込みをする第１期間と、第１期間の後、第１メモリー回路の各々から対応する第２メモリー回路へとデータを転送する第２期間とを有するものとし、対向電極（２３）の電位（ V_{com} ）を第２期間において第１の電位（ V_{comH} ）と第２の電位（ V_{comL} ）との間で交互に切り換えるようにした。

【選択図】 図１

特願 2 0 0 3 - 1 0 1 0 0 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所

特願 2 0 0 3 - 1 0 1 0 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社